

**ĐẠI HỌC QUỐC GIA HÀ NỘI
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ**

NGUYỄN THỊ HỒNG LOAN

**NGHIÊN CỨU HỆ THỐNG XỬ LÝ TÍN HIỆU
TRONG MẠNG THÔNG TIN TOÀN QUANG**

Chuyên ngành: Mạng máy tính và truyền thông dữ liệu

Mã số: **9480102.01**

TÓM TẮT LUẬN ÁN TIẾN SĨ CÔNG NGHỆ THÔNG TIN

Hà Nội – 2023

Công trình được hoàn thành tại: Trường Đại học Công nghệ, Đại học Quốc gia Hà Nội

Người hướng dẫn khoa học:

1. PGS.TS. Lê Trung Thành
2. TS. Dương Lê Minh

Phản biện:.....

.....

Phản biện:.....

.....

Phản biện:.....

.....

Luận án sẽ được bảo vệ trước Hội đồng cấp Đại học Quốc gia chấm luận án tiến sĩ họp tại

vào hồi giờ ngày tháng năm

Có thể tìm hiểu luận án tại:

- Thư viện Quốc gia Việt Nam
- Trung tâm Thông tin - Thư viện, Đại học Quốc gia Hà Nội

MỞ ĐẦU

1. Tính cấp thiết

Các mạng thông tin toàn quang tốc độ cao yêu cầu việc xử lý dữ liệu và định tuyến gói tin quang trong miền toàn quang. Trước đây có hai giải pháp để xử lý gói tin quang gồm chuyển đổi quang-điện, xử lý gói tin trong miền điện rồi biến đổi từ điện sang quang để truyền đi trong mạng quang hoặc sử dụng kỹ thuật xử lý toàn quang dựa vào hiệu ứng phi tuyến trong bộ khuếch đại quang bán dẫn SOA (Semiconductor Optical Amplifier) hoặc sợi quang phi tuyến với hệ số phi tuyến cao. Các giải pháp sử dụng quang tích hợp, trong đó các giải pháp được thiết kế và chế tạo trên một vi mạch quang đến nay sử dụng bộ ghép có hướng (directional coupler) và bộ ghép hình chữ X (X-junction coupler). Các bộ ghép này có nhược điểm rất khó chế tạo chính xác để thực hiện được chức năng mong muốn. Đồng thời bộ ghép kiểu này nhạy với bước sóng, băng thông thấp (tức chỉ hỗ trợ tốc độ thấp) và dung sai chế tạo thấp, kích thước lớn.

Luận án giải quyết hạn chế trên bằng cách đề xuất, thiết kế các cấu trúc xử lý gói tin toàn quang mới như kỹ thuật tách nhãn và gói tin quang, bộ tương quan quang, cấu trúc mạng nơ-ron quang để nhận dạng nhãn quang dựa vào các hiệu ứng giao thoa đa mode (MMI-multimode interference), vi cộng hưởng kết hợp với giao thoa đa mode. Các cấu trúc mới này có ưu điểm băng thông cao, dung sai chế tạo lớn, dựa vào công nghệ silic quang tử nên phù hợp với công nghệ chế tạo vi mạch hiện thời.

2. Mục tiêu:

Mục tiêu của Luận án là thiết kế được một số cấu trúc mới xử lý gói tin trong mạng thông tin toàn quang như nhận dạng nhãn quang dùng điều chế BPSK (Binary Phase Shift Keying), QPSK (Quadrature Phase Shift Keying); tách nhãn quang, cổng logic toàn quang ứng dụng trong xử lý gói tin quang; xử lý gói tin quang dùng mạng nơ-ron quang.

3. Đối tượng:

Đối tượng nghiên cứu của Luận án là mạng thông tin toàn quang, các mạng chuyển mạch nhãn quang, định tuyến trong mạng toàn quang, cấu trúc vi mạch quang xử lý gói tin quang.

4. Phạm vi nghiên cứu:

Luận án nghiên cứu sử dụng mô hình toán học, phân tích giải tích và tính toán ma trận truyền dẫn để thiết kế các cấu trúc quang mới phục vụ xử lý tín hiệu trong một mạng thông tin toàn quang.

5. Ý nghĩa khoa học và ý nghĩa thực tiễn:

- Ý nghĩa khoa học: Luận án đã thiết kế được hai cấu trúc toàn quang nhận dạng nhãn quang BPSK, QPSK trong mạng chuyển mạch nhãn và tiêu đề quang. Các cấu trúc này có ưu điểm suy hao thấp, tích hợp trên một vi mạch và cho phép chế tạo dễ dàng hơn so với trước đây.

- Ý nghĩa thực tiễn: Các kết quả của luận án đóng góp một hướng nghiên cứu mới trong lĩnh vực mạng máy tính và truyền thông dữ liệu, đặc biệt là ứng dụng trong các hệ thống tính toán xử lý dữ liệu lớn và điện toán đám mây.

CHƯƠNG 1 TỔNG QUAN NGHIÊN CỨU

Chương này nghiên cứu sinh trình bày tổng quan về các phương pháp, các kết quả đã đạt được đối với kỹ thuật xử lý tín hiệu trong mạng thông tin toàn quang.

1.1 Tổng quan chung về nội dung nghiên cứu

Sự tăng trưởng nhanh chóng của lưu lượng truy cập Internet dựa trên gói và dữ liệu lớn, liên quan đến các hệ thống Trung tâm dữ liệu (DC) và Máy tính hiệu suất cao (HPC) được kết nối với nhau đã đặt ra nhu cầu về khả năng liên kết cực cao và tốc độ chuyển mạch gói cực cao tại các nút mạng. Để khắc phục những nhu cầu cực cao này, đặc biệt là định tuyến và chuyển tiếp gói, hoán đổi nhãn quang toàn bộ (AOLS) đã được xem xét trong nhiều năm như một giải pháp đã được thiết lập. Bài khảo sát này cung cấp một cuộc điều tra cập nhật và kỹ lưỡng về công nghệ và xu hướng AOLS, dựa trên rất nhiều tài liệu

tham khảo về các cột mốc nghiên cứu trong suốt thời gian dài này. Tất cả các loại kỹ thuật ghi nhãn đều được trình bày và so sánh, đồng thời tóm tắt tất cả những ưu và nhược điểm của chúng. Hơn nữa, các vấn đề và hướng nghiên cứu quan trọng cũng được thảo luận, đưa ra những hướng dẫn và động lực cho các nhà nghiên cứu để mở rộng nghiên cứu.

Bên cạnh đó, mạng nơ-ron hoàn toàn quang học (ONN) cung cấp một cách tiếp cận thay thế đầy hứa hẹn cho việc triển khai vi điện tử và quang điện tử lai. Việc thiết kế thành công các mạng nơ-ron quang tử giải quyết được vấn đề tốc độ tính toán và công suất tiêu thụ của các hệ thống máy tính hiện tại. Năm 2017 [21], Shen và các nhà khoa học tại MIT và Stanford đã thành công trong việc thiết kế mạng nơ-ron toàn quang cho các thuật toán học sâu và ứng dụng trong nhận dạng âm thanh, hình ảnh. Từ đó, đã có nhiều công trình nghiên cứu về mạng nơ-ron quang tử ứng dụng trong nhận dạng, xử lý ảnh. Hầu hết các hệ thống này sử dụng cấu trúc vi cộng hưởng quang với bộ ghép có hướng và các cấu trúc giao thoa Mach Zehnder [22, 23, 24, 25]. Quang tử silicon sử dụng các kỹ thuật chế tạo CMOS cơ bản và kết hợp điện tử và mạch quang tử. Hầu hết các công việc ban đầu về mạng thần kinh quang học trong quang tử silicon sử dụng cả quang học và điện tử. Trong phần này, Luận án khảo sát các cách tiếp cận khác nhau để thực hiện chức năng kiến trúc vi mô với các thiết bị quang tử silicon và thảo luận về sự khác biệt giữa đồng thiết kế quang tử điện tử và điện toán thần kinh, neuron toàn quang.

1.2 Bộ ghép giao thoa đa mode MMI

Đặc tính của bộ ghép MMI có thể được đặc trưng bằng một ma trận, gọi là ma trận truyền dẫn M [58]. Phương pháp phân tích MMI dựa vào ma trận truyền dẫn gọi là phương pháp ma trận truyền dẫn, TMM. Việc phân tích MMI dùng phương pháp TMM đơn giản, tính toán nhanh và cho kết quả chính xác. Do vậy, trong nghiên cứu này, phương pháp TMM được sử dụng.

Giả sử MMI được đặc trưng bằng ma trận M . Tín hiệu vào và ra của bộ ghép MMI

$$\mathbf{a} = [a_1 \ a_2 \ \dots \ a_N]^T \quad \text{và} \quad \mathbf{b} = [b_1 \ b_2 \ \dots \ b_N]^T \quad \text{quan hệ với nhau qua phương trình:}$$

$$\mathbf{b} = \mathbf{M}\mathbf{a}$$

trong đó, $\mathbf{M} = [m_{ij}]_{N \times N}$, a_i ($i=1, \dots, N$) là biên độ phức tín hiệu vào cổng i và b_j ($j=1, \dots, N$) là biên độ phức tín hiệu ra cổng j .

1.3 Bộ vi cộng hưởng (Microring Resonator-MRR) và Mach Zehnder

Bộ vi cộng hưởng MRR (Microring Resonator) hay bộ cộng hưởng RR (Ring Resonator) được xem là các linh kiện quang đa năng và được ứng dụng rất rộng rãi trong thiết kế các cấu trúc on-chip vi mạch quang, đặc biệt trong các hệ thống máy tính quang vì chúng có kích thước nhỏ. Rất nhiều thiết bị chức năng như bộ điều chế, giải điều chế, tách/ghép kênh, logic quang và lọc quang đã được thiết kế và chế tạo dựa vào MRR và RR.

Mối quan hệ giữa các tín hiệu vào và ra của bộ ghép trong cấu trúc vi cộng hưởng được biểu diễn bằng phương trình [114]:

$$\begin{pmatrix} E_2 \\ E_4 \end{pmatrix} = \begin{pmatrix} \tau & j\tau \\ j\tau & \tau \end{pmatrix} \begin{pmatrix} E_1 \\ E_3 \end{pmatrix}$$

trong đó, τ, κ là các hệ số ghép, α là tín hiệu truyền qua ống dẫn sóng vòng, α là hệ số suy hao tín hiệu khi truyền qua ống dẫn sóng có chiều dài L , $\phi = \beta L$ là pha và β là hằng số truyền lan.

1.4 Mô phỏng số

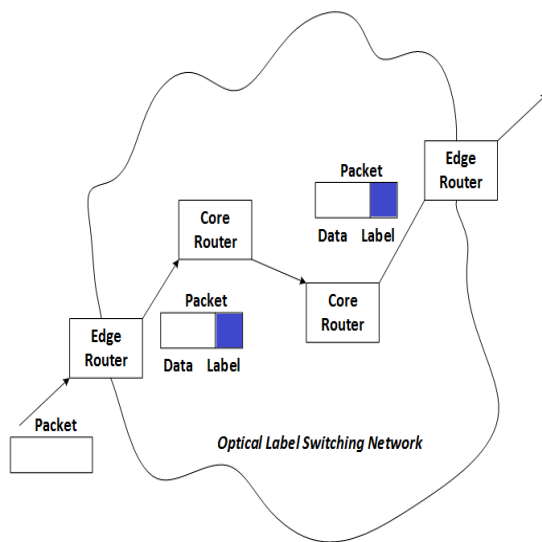
Việc mô phỏng linh kiện quang tích hợp là việc giải phương trình Maxwell bằng số. Có hai phương pháp cơ bản để tiếp cận giải phương trình Maxwell là tiếp cận giải trực tiếp trong miền thời gian hoặc thực hiện trong miền tần số dùng biến đổi Fourier.

Trong phần này luận án trình bày hai phương pháp được dùng rộng rãi nhất hiện nay để mô phỏng linh kiện quang tích hợp là phương pháp BPM (Beam propagation method), FDTD (Finite difference time domain) và EME (Eigenmode Expansion). Các phương pháp mô phỏng này sử dụng các phần mềm

thương mại thiết kế công nghiệp chuyên dụng như Omnisim của Photon Design, OptiFDTD của Optiwave.

1.5 Mạng định tuyến nhãn và tiêu đề toàn quang

Nhãn quang được sử dụng làm thông tin định tuyến trong mạng chuyển mạch nhãn quang tử như trong Hình 1.5. Nhãn được gắn vào gói sự cố tại bộ định tuyến biên. Nhãn được sử dụng để chuyển tiếp gói đến một bộ định tuyến biên khác được kết nối với đích của gói. Tại một nút, các bộ chuyển mạch định tuyến được điều khiển theo thông tin nhãn bằng cách tham khảo bảng định tuyến. Đầu tiên, nhãn phải được phân tích để tìm ra thông tin đích đến. Do đó, nhãn phải được kiểm tra xem nhãn có khớp với bất kỳ nhãn nào trong số tất cả các nhãn trên bộ định tuyến hay không.



Việc nhận dạng nhãn được thực hiện bằng cách chuyển tiếp xung bit ID đến cổng đầu ra tương ứng với đích của địa chỉ như trong Hình 3. Số lượng cổng đầu ra M tương ứng với số lượng của tất cả các địa chỉ được mã hóa, nghĩa là $M=2N$ và $4N$ cho BPSK và mã QPSK tương ứng.

Tại thời điểm t_c , tất cả các xung bit $(N+1)$ đồng thời đi vào các cổng đầu vào. Chuyển mạch nhãn là một kỹ thuật được sử dụng rộng rãi gần đây để đơn giản hóa hoạt động chuyển đổi địa chỉ IP truyền thống. Phương thức chuyển mạch IP xử lý thông tin địa chỉ IP dài của gói dưới dạng quá trình chuyển tiếp như trong Hình 1.9.

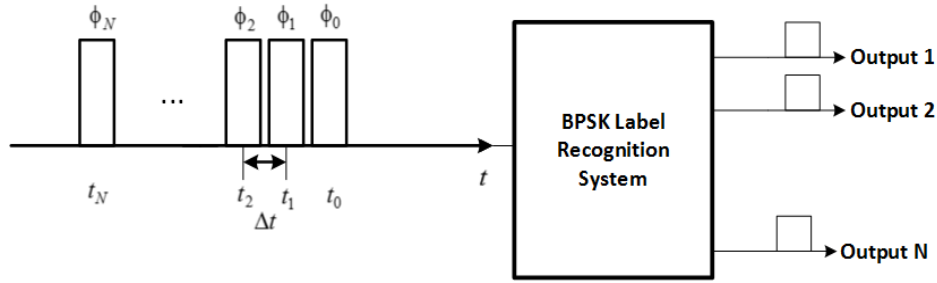
1.6 Các loại mã quang

Để truyền thông tin qua hệ thống truyền thông, các đặc tính của tín hiệu sóng mang như tần số, pha hoặc biên độ được thay đổi hoặc điều chế [1]. Tùy thuộc vào thuộc tính nào được sửa đổi, tín hiệu được gọi là khóa bật tắt (OOK), khóa dịch pha nhị phân (BPSK), khóa dịch pha cầu phương (QPSK) và điều chế biên độ cầu phương (QAM).

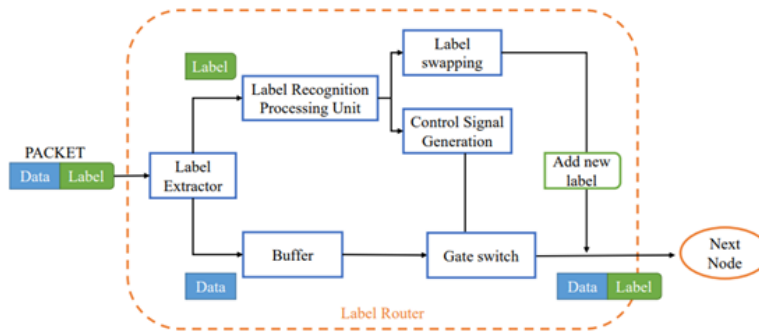
1.7 Cấu trúc của một node xử lý tín hiệu toàn quang

Cấu trúc của bộ định tuyến nhãn được minh họa trong hình 1.11. Nó thực hiện một số chức năng bao gồm trích xuất nhãn, nhận dạng nhãn, chuyển mạch, tạo tín hiệu điều khiển, dem quang và trao đổi nhãn để xử lý nhãn. Việc xử lý tín hiệu quang được mong đợi cho mạng chuyển mạch gói tốc độ cao. Mục đích nghiên cứu của chúng tôi là triển khai chức năng nhận dạng nhãn của bộ định tuyến nhãn trong miền quang.

Trong nghiên cứu này, chúng tôi xem xét nhận dạng nhãn được mã hóa điều chế BPSK và QPSK. Chúng tôi kiểm tra hoạt động của phương pháp đề xuất bằng tính toán lý thuyết và phương pháp mô phỏng số.



Hình 1.6 Dạng nhận diện nhãn hiệu với việc chuyển đổi từ tuần tự sang song song như một phần của quá trình tiền xử lý



Hình 1.1 Cấu trúc chung của node xử lý tín hiệu toàn quang

1.8 Kết luận Chương 1

Chương 1 trình bày về nguyên lý và cấu trúc chung của mạng chuyển mạch nhãn và gói tin quang, cấu trúc của bộ định tuyến và node toàn quang, các vấn đề xử lý gói tin quang như tách nhãn và nhận dạng nhãn. Chương này cũng trình bày về nguyên lý hoạt động của cấu trúc giao thoa đa mode, vi cộng hưởng và nhãn quang dùng điều chế số và các phương pháp mô phỏng số được sử dụng trong Luận án.

CHƯƠNG 2

KỸ THUẬT XỬ LÝ GÓI TIN TRONG MẠNG THÔNG TIN TOÀN QUANG

Chương 2 trình bày các kết quả nghiên cứu mới của Luận án về nhận dạng nhãn quang BPSK (Binary Phase Shift Keying), QPSK (Quadrature Phase Shift Keying), thiết kế mới về bộ tương quan quang và bộ trễ quang mới trong mạng thông tin toàn quang.

2.1 Thiết kế bộ nhận dạng nhãn quang

2.1.1 Bộ nhận dạng nhãn BPSK

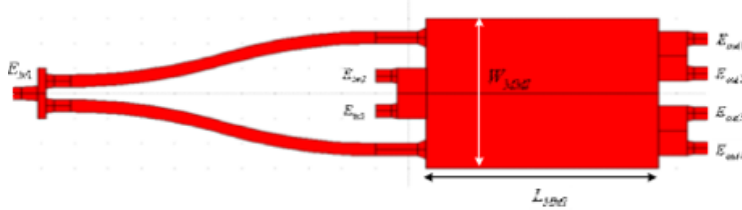
Trong các hệ thống nhận dạng nhãn, các thiết bị dẫn sóng quang tích hợp không hoạt động đã chứng minh đóng vai trò quan trọng trong việc tận dụng sự nhiễu loạn quang học giữa các sóng dẫn. Các thiết bị này đã chứng minh khả năng xử lý đồng thời nhiều nhãn [4]. Nghiên cứu trước đây đã nghiên cứu về các thiết bị dẫn sóng quang học được thiết kế để nhận dạng các mã quang học ở BPSK và QPSK [1, 5, 6]. Phương pháp tự định tuyến được sử dụng kết hợp với một xung tham chiếu bằng nhãn mã hóa, và kiến trúc thiết bị bao gồm các kết nối X-junction không đối xứng được sắp xếp theo cấu trúc cây. Cấu hình này có lợi thế vì nó cho phép xác định sự chênh lệch pha quang của π với một kết nối X-junction không đối xứng duy nhất [7]. Tuy nhiên, kết nối X-junction yêu cầu công nghệ chế tạo cực kỳ cao để đạt

được các hệ số kết nối mong muốn. Ngoài ra, băng thông của bộ kết nối thấp so với thiết bị dựa trên các cấu trúc Giao thoa đa mode (MMIs).

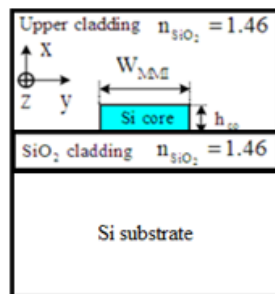
Nguyên tắc hoạt động của việc nhận dạng nhãn quang BPSK:

Trong mạng chuyển mạch nhãn quang, nhãn quang được sử dụng như thông tin định tuyến, như minh họa trong Hình 2.1 [10]. Quá trình này bao gồm việc đính kèm một nhãn vào một gói tin đến tại một bộ định tuyến biên, sau đó được sử dụng để định hướng gói tin đến một bộ định tuyến biên khác kết nối với điểm đến của gói tin. Trong một nút, các công tắc định tuyến được điều khiển dựa trên thông tin nhãn, tham chiếu vào một bảng định tuyến. Bước ban đầu bao gồm việc phân tích nhãn để xác định thông tin đích. Trong một cấu trúc mạng phân cấp, một bộ định tuyến tại một nút trong một mạng con có thể chỉ cần giải quyết nhãn tương ứng với các gói tin đến cho mạng con cụ thể đó [11]. Cơ chế này đảm bảo rằng tín hiệu quang được định tuyến đúng cách đến các điểm đích dựa trên thông tin được mã hóa trong dây xung [12]. Số lượng cổng ra, ký hiệu là M , tương ứng với tổng số địa chỉ được mã hóa, cụ thể là $M=2^N$ cho mã BPSK.

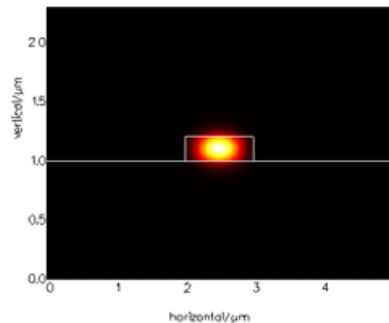
Đề xuất kiến trúc mới nhận dạng nhãn BPSK:



(a)



(b)



(c)

Hình 2.2. Cấu trúc quang dựa trên MMI cho nhận dạng nhãn BPSK (a) mạch, (b) xem cắt ngang và (c) hồi quy trường

Có nhiều phương pháp đã được khám phá để biểu diễn thông tin nhãn định tuyến dưới dạng tín hiệu quang, bao gồm mã hóa trong miền thời gian, miền phổ, và sự kết hợp của những phương pháp này [11]. Chúng ta đặc biệt xem xét việc sử dụng chuỗi xung được mã hóa theo thời gian trong định dạng điều chế BPSK. Để đảm bảo việc xác định chính xác về pha tuyệt đối của chúng, một tín hiệu tham chiếu được giới thiệu, đặt trước các xung biểu thị một địa chỉ. Trường điện của dây xung quang điện cho một nhãn với $(N + 1)$ biểu tượng được biểu diễn như sau:

$$E_{\text{label}}(t) = \sum_{i=0}^N a_i f_0(t - i\Delta t) \exp(j\phi_i) \exp(j\omega(t - i\Delta t))$$

Trong nghiên cứu này, chúng tôi đề xuất một lược đồ mới cho mạch nhận dạng nhãn quang BPSK dựa trên nền tảng SOI. Cấu trúc được đề xuất dựa trên các kết nối MMI được tích hợp như minh họa trong Hình 2.3(a). Trong thiết kế này, chúng tôi sử dụng một dẫn sóng SOI với các thông số sau: chiều cao là 220nm và chiều rộng là 500nm. Ở bước sóng hoạt động xung quanh 1550nm, dẫn sóng là dạng sóng đơn. Hình ảnh cắt ngang của thiết bị được thể hiện trong Hình 2.3(b) và hồi quy của trường quang trong dẫn sóng được thể hiện trong Hình 2.3(c).

Nền tảng Silicon-on-Insulator (SOI) sử dụng silic hóa cả là vật liệu cơ sở và vật liệu lõi dẫn sóng. Sự chênh lệch chỉ số lớn giữa silic ($n=3.45$ ở bước sóng 1550nm) và vật liệu xung quanh ($n=1.46$) cho phép giữ ánh sáng hiệu quả trong các kích thước dưới micromet. Hơn nữa, công nghệ SOI nắm giữ tiềm năng tích hợp điện tử và thiết bị quang trên một lớp đơn. Khả năng tích hợp này làm cho nó thuận lợi để tạo ra các thiết bị nhỏ gọn và hiệu quả, kết hợp cả chức năng điện tử và quang trong cùng một nền tảng. Trong nghiên cứu này, các dẫn sóng truy cập là các dẫn sóng chế độ đơn đồng nhất với chiều rộng. Các dẫn sóng đầu vào và đầu ra được đặt tại [13].

$$x_i = (i + 1/2) \frac{W_{MMI}}{4}$$

Một bộ ghép 4x4 MMI duy nhất với độ dài L được mô tả bằng ma trận chuyển giao sau đây.

$$\mathbf{M} = \frac{1}{2} \begin{bmatrix} -1 & -e^{j\frac{3\pi}{4}} & e^{j\frac{3\pi}{4}} & -1 \\ -e^{j\frac{3\pi}{4}} & -1 & -1 & e^{j\frac{3\pi}{4}} \\ e^{j\frac{3\pi}{4}} & -1 & -1 & -e^{j\frac{3\pi}{4}} \\ -1 & e^{j\frac{3\pi}{4}} & -e^{j\frac{3\pi}{4}} & -1 \end{bmatrix}$$

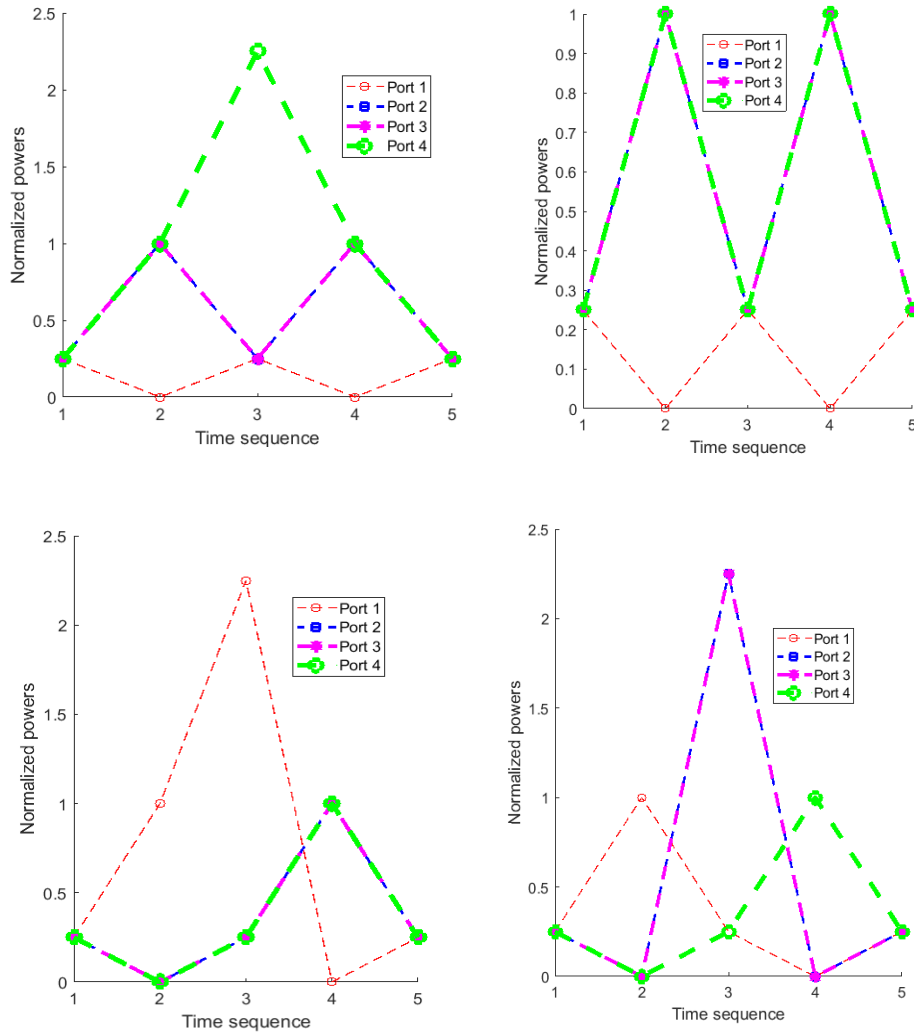
Các MMI được kết nối liên tiếp có chức năng phân biệt pha của sóng vào trong định dạng Binary Phase Shift Keying (BPSK). Bằng cách triển khai một kết nối liên tiếp của các coupler MMI này, hệ thống có thể hiệu quả nhận dạng địa chỉ hai bit:

$$\begin{pmatrix} E_{out1} \\ E_{out2} \\ E_{out3} \\ E_{out4} \end{pmatrix} = \begin{pmatrix} 1 & -1 & 1 \\ -1 & 1 & 1 \\ 1 & 1 & 1 \\ -1 & -1 & 1 \end{pmatrix} \begin{pmatrix} E_{in1} \\ E_{in2} \\ E_{in3} \end{pmatrix}$$

Khi một dãy xung nhị phân BPSK (Binary Phase Shift Keying) quang được đưa vào, ta quan sát được cường độ chuẩn hóa của các dãy xung phát ra từ bốn cổng đầu ra. Bảng trình bày này gợi ý rằng mạch được đề xuất, được thiết kế để phân biệt thông tin pha trong định dạng BPSK, dẫn đến việc phân phối cường độ quang qua nhiều cổng đầu ra. Các chi tiết về phân phối cường độ và bất kỳ giá trị số nào hoặc thông tin bổ sung khác có thể được cung cấp trong ngữ cảnh đầy đủ của tài liệu gốc.

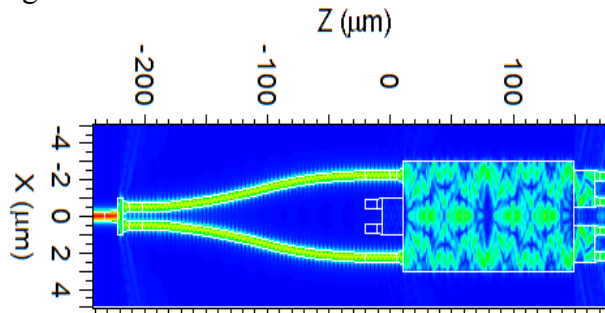
Kết quả mô phỏng:

Các mô phỏng BPM cho thấy rằng khi nhãn BPSK hai bit quang học được giới thiệu, công suất chuẩn hóa được quan sát phát ra từ bốn cổng đầu ra như được thể hiện trong Hình 2.7.

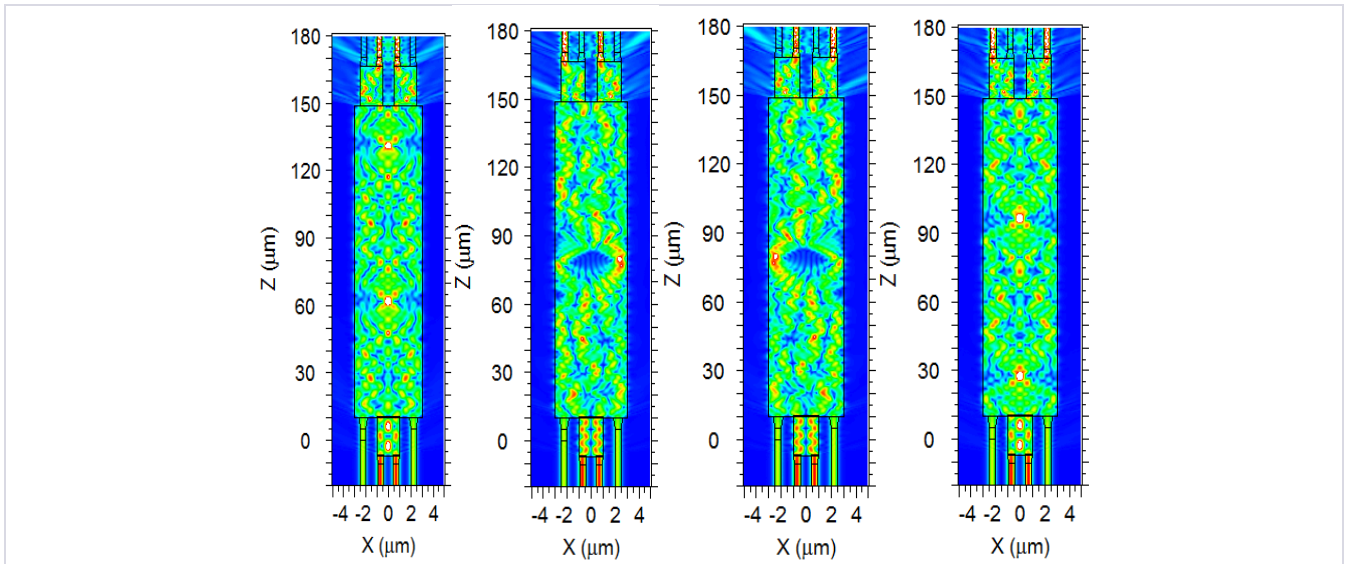


Hình 2.3 Kết quả mô phỏng BPM cho công suất chuẩn hóa tại các cổng đầu ra 1, 2, 3 và 4 cho các địa chỉ (b) 00 , (c) $0-\pi$, (d) $\pi-0$ và (e) $\pi-\pi$

Bằng cách sử dụng mô phỏng BPM, các trường được truyền dẫn thông qua toàn bộ thiết bị cho các địa chỉ 00 , 0π , $\pi 0$, $\pi\pi$ được trình bày trong Hình 2.8. Kết quả mô phỏng cho thấy rằng phân tích có sự tương đồng tốt với mô phỏng số.



(a) Tín hiệu đầu vào tại cổng 1



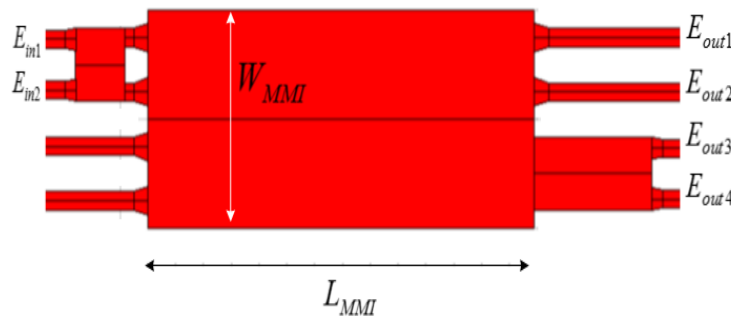
(b) Địa chỉ 00 (c) Địa chỉ 0-pi (d) Địa chỉ pi-0 và (e) Địa chỉ pi-pi

Hình 2.4 Kết quả mô phỏng BPM cho (a) tín hiệu đầu vào tại cổng 1 và cho các trường hợp địa chỉ (b) 00, (c) 0-pi, (d) pi-0 và (e) pi-pi

Kết luận: Chúng tôi đã trình bày một mạch quang mới dựa trên cấu trúc giao thoa đa mode (MMI) để nhận dạng nhãn mã hóa theo pha nhị phân (BPSK). Các mạch của chúng tôi sử dụng các cấu trúc MMIs 1x2, 4x4 và 2x2. Thiết kế này dựa trên nền tảng silic on insulator (SOI), phù hợp với công nghệ CMOS hiện tại. Do đó, thiết kế mới của chúng tôi có ưu điểm về suy hao thấp, kích thước nhỏ, băng thông cao và dung sai chế tạo lớn so với các nghiên cứu gần đây được công bố dựa trên bộ ghép hình chữ X. Dung sai chế tạo cho chiều dài MMI là ± 100 nm và băng thông khoảng 15nm. Cấu trúc cảm biến đề xuất có thể tích hợp vào tất cả các mạng chuyển mạch nhãn quang.

2.1.2 Bộ nhận dạng nhãn QPSK

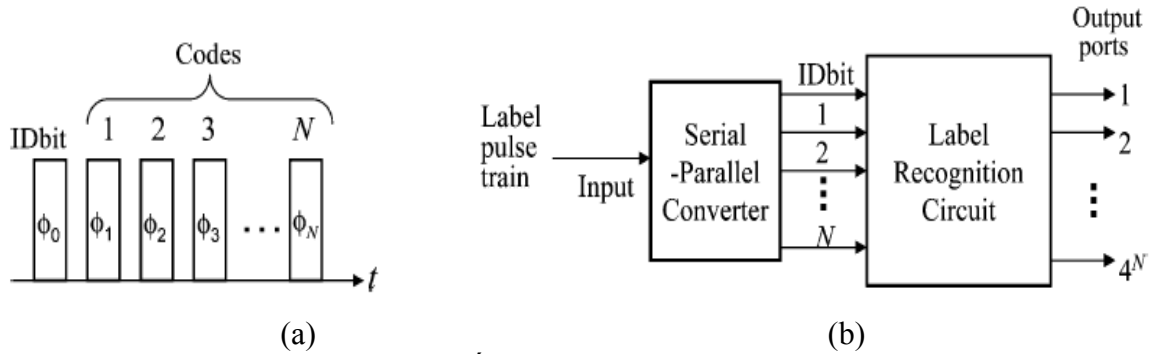
Nghiên cứu này giới thiệu mạch quang dựa trên cấu trúc nhiều chế độ can thiệp (MMI) để nhận diện các nhãn mã hóa Quadrature Phase Shift Keying (QPSK). Các mạch đề xuất sử dụng các MMI nối tiếp có kích thước 1x2, 4x4 và 2x2. Hiệu suất của những thiết bị này được phân tích một cách chặt chẽ và xác nhận bằng cách sử dụng phương pháp truyền bước sóng hạn chế (BPM) và phương pháp mở rộng mode riêng (EME). Thiết kế dựa trên nền tảng silicôn trên cách điện (SOI), phù hợp với công nghệ CMOS hiện tại. Thiết kế mới đề xuất mang lại những ưu điểm như tổn thất thấp, kích thước nhỏ gọn, băng thông cao và dung sai sản xuất lớn so với nghiên cứu gần đây được công bố trong văn học dựa trên các kết nối X-junction couplers. Dung sai sản xuất cho độ dài MMI là ± 100 nm và băng thông khoảng 15nm.



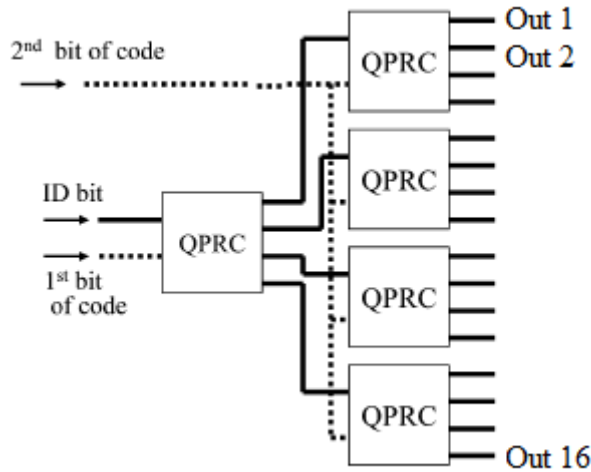
Hình 2.5 Cấu trúc quang học dựa trên MMIs cho QPRC

Ban đầu, chúng ta xem xét trường hợp của các mã hai bit. Mạch nhận diện nhãn cho các mã hai bit bao gồm một kết nối hai giai đoạn của các mô-đun Mạch Nhận Diện Pha Tuần Hoàn (QPRC) được sắp

xếp theo cấu trúc cây, như miêu tả trong Hình 3. Xung bit ID và xung bit đầu tiên của mã được đưa vào các cổng đầu vào 1 và 2, tương ứng. Bốn đầu ra từ QPRC được định hướng đến cổng đầu vào 1 của các mô-đun QPRC giai đoạn thứ hai. Xung bit thứ hai của mã trải qua bốn lần khuếch đại trước khi được chia thành bốn xung, sau đó được đưa vào các cổng đầu vào 2 của bốn mô-đun QPRC. Cấu hình này cho phép nhận diện các mã hai bit thông qua một phương pháp xử lý hai giai đoạn có hệ thống.



Hình 2.6 Nguyên tắc nhận diện nhãn QPSK [7]



Hình 2.7 Nhận diện nhãn QPSK bằng cách nối các QPRC

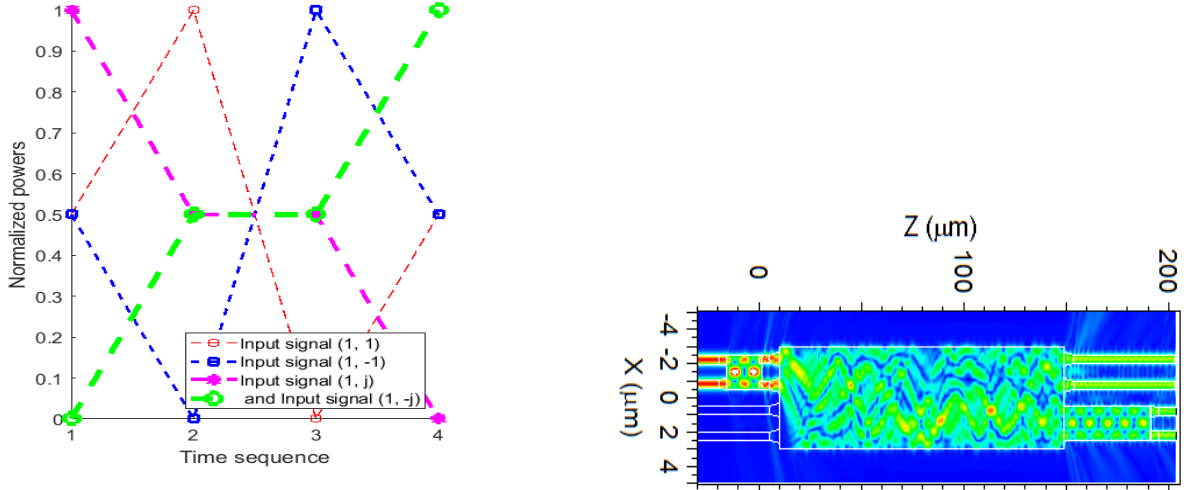
$$\begin{pmatrix} E_{out1} \\ E_{out2} \\ E_{out3} \\ E_{out4} \end{pmatrix} = \frac{1}{2} \begin{pmatrix} 1 & \exp(j\frac{3\pi}{2}) \\ \exp(j\frac{7\pi}{4}) & \exp(j\frac{7\pi}{4}) \\ \exp(j\frac{5\pi}{4}) & \exp(j\frac{\pi}{4}) \\ \exp(j\frac{3\pi}{2}) & 1 \end{pmatrix} \begin{pmatrix} E_{in1} \\ E_{in2} \end{pmatrix}$$

Kết quả mô phỏng và thảo luận

Kết quả mô phỏng BPM của chúng tôi chỉ ra rằng băng thông -1dB của bộ ghép MMI bao quanh 35nm trong một dải bước sóng từ 1532nm đến 1567nm [10]. Trong một dải bước sóng 15nm xung quanh bước sóng hoạt động là 1550nm, mô phỏng cho thấy rằng công suất đầu ra chuẩn hóa tại các cổng đầu ra 1 và 4 của bộ ghép MMI gần như đồng đều với mục tiêu 50:50. Phân tích này cung cấp cái nhìn sâu

sắc về hiệu suất của thiết bị dưới các bước sóng biến đổi và làm nổi bật khả năng duy trì các đặc tính đầu ra mong muốn trong một dải bước sóng cụ thể.

Các mô phỏng BPM cho thấy rằng khi một chuỗi xung quang hai bit QPSK được giới thiệu, cường độ chuẩn hóa của chuỗi xung được quan sát phát ra từ bốn cổng đầu ra như thể hiện trong Hình 2.12.



Hình 2.8 Mô phỏng BPM cho công suất chuẩn hóa tại các cổng đầu ra 1, 2, 3 và 4

Bằng cách sử dụng mô phỏng BPM, các trường truyền tải qua toàn bộ thiết bị được trình bày trong Hình 2.13. Kết quả mô phỏng cho thấy rằng phân tích này có sự tương đồng tốt với các mô phỏng số học.

2.2 Thiết kế cổng logic toàn quan và bộ tương quan quang

2.1.1 Thiết kế cổng logic toàn quang ứng dụng cho nhận dạng nhân và tiêu đề quang

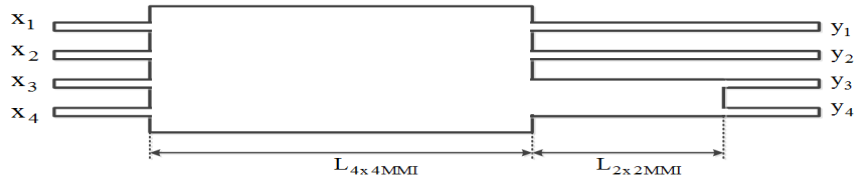
Nguyên lý hoạt động của bộ ghép MMI dựa trên nguyên lý tự tạo ảnh [90] [127]. Khi các ống dẫn

sóng truy cập có độ rộng giống hệt nhau W_a tại vị trí $p_i = (i + \frac{1}{2}) \frac{W_{MMI}}{N}$, trường điện bên trong bộ ghép MMI có thể được biểu thị bằng [129]:

$$M_{4 \times 4} = \frac{1}{2} \begin{bmatrix} -1 & -\exp(j \frac{3\pi}{4}) & \exp(j \frac{3\pi}{4}) & -1 \\ \exp(j \frac{3\pi}{4}) & -1 & -1 & -\exp(j \frac{3\pi}{4}) \\ -\exp(j \frac{3\pi}{4}) & -1 & -1 & \exp(j \frac{3\pi}{4}) \\ -1 & -\exp(j \frac{3\pi}{4}) & \exp(j \frac{3\pi}{4}) & -1 \end{bmatrix}$$

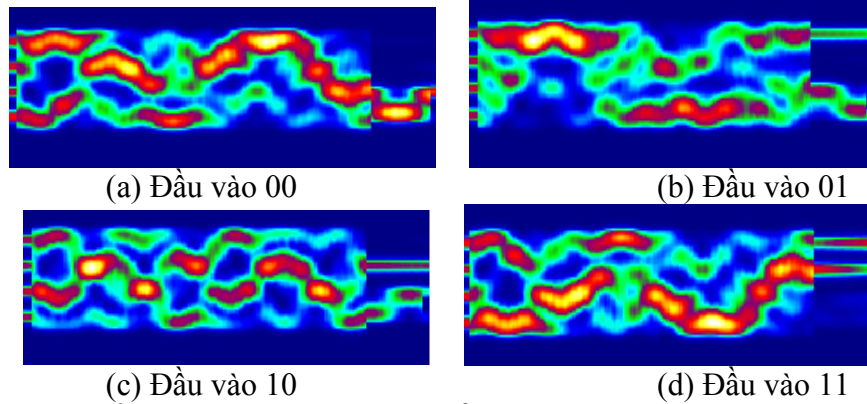
$$M_{2 \times 2} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & -j \\ -j & 1 \end{bmatrix}$$

Với $i = 1 \div N$ và N là số cổng của bộ ghép MMI. Đối với cổng logic quang học dựa trên nguyên tắc MMI, thông tin được mã hóa ở đầu vào và đầu ra theo biên độ hoặc theo pha. Trong nghiên cứu này, mã hóa pha thông tin được sử dụng cho các tín hiệu đầu vào và mã hóa biên độ được sử dụng cho các tín hiệu đầu ra, logic “1” được biểu diễn bởi $1e^{j0}$ và logic “0” được biểu diễn bởi $0e^{j0}$.



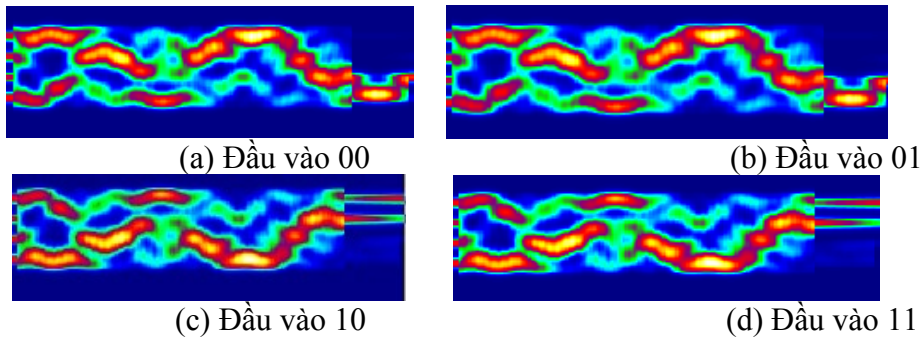
Hình 2.9 (a) Sơ đồ đề xuất cho cổng logic quang học

Thực hiện mô phỏng, sự truyền ánh sáng (light propagation) qua các cổng logic được nghiên cứu. Các phương pháp số được sử dụng cho các mô phỏng. Hình 2.18 hiển thị phân bố trường của cổng logic XOR ở bước sóng 1550nm cho các giá trị logic đầu vào lần lượt là 00, 01, 10 và 11. Các mô phỏng cho thấy có sự phù hợp tốt với phân tích lý thuyết trong Bảng 2.2.

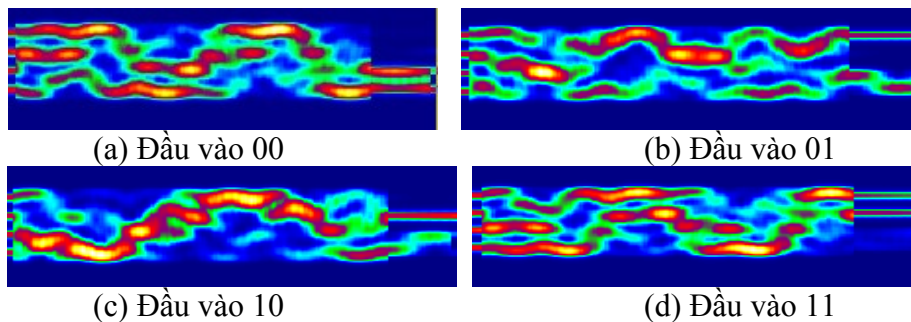


Hình 2.10 Cổng XOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

Hình 2.19 cho thấy các phân bố trường của cổng logic XNOR cho các giá trị logic đầu vào lần lượt là 00, 01, 10 và 11. Các mô phỏng cho thấy có sự phù hợp tốt với các kết quả lý thuyết trong Bảng 2.3.



Hình 2.11. Cổng XNOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic
Bảng 2.4. Bảng chân lý của cổng logic NAND sử dụng cấu trúc plasmonic



Hình 2.12 Cổng NAND với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

2.2.2 Thiết kế tương quan và ứng dụng trong nhận dạng tiêu đề, nhãn quang

Các hoạt động nhận dạng tiêu đề quang học bằng cổng logic dựa trên việc so sánh tiêu đề gói với một địa chỉ cụ thể là 'keyword'. Việc triển khai hiệu quả nhất sử dụng cổng XOR logic thực hiện so sánh bằng cách sử dụng tiêu đề gói và bù 1 của địa chỉ 'keyword' như là đầu vào của cổng XOR. Khi hai dòng dữ liệu được áp dụng vào các đầu vào của một cổng XOR logic toàn quang, một chuỗi các xung quang học xuất hiện tại đầu ra của nó. Ví dụ, một xung quang học được tạo ra mỗi khi hai bit từ các dòng dữ liệu khác nhau.

Phương pháp này cho phép xác định sự khớp địa chỉ bằng cách quan sát một chuỗi N xung quang học tại đầu ra của cổng XOR logic, với N là số bit trong cả tiêu đề gói và địa chỉ 'keyword'. Phương trình

mô tả đầu ra của một cổng XOR logic truyền thống là: $x_i = a_i \oplus b_i$

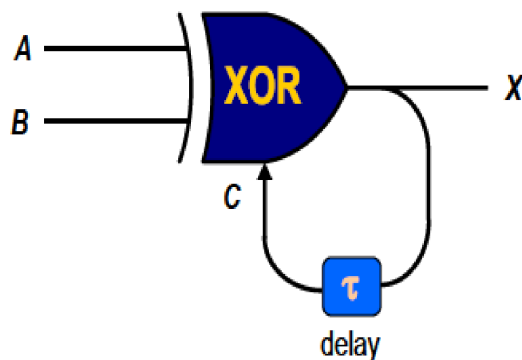
Trong đó $A = [a_1 \ a_2 \ \dots \ a_N]$ và $B = [b_1 \ b_2 \ \dots \ b_N]$ là dữ liệu vào và $X = [x_1 \ x_2 \ \dots \ x_N]$.

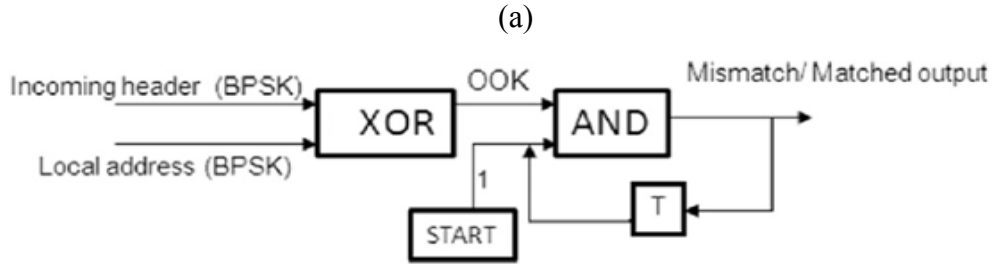
Cần thêm xử lý tín hiệu bổ sung (ví dụ: sử dụng một bộ tương quan quang học hoặc cổng logic AND với các xung đầu ra) để thực hiện các kế hoạch nhận dạng tiêu đề gói vì cổng XOR không có bộ nhớ. Để giải quyết điều này và tránh việc xử lý tín hiệu sau này, một kiến trúc sử dụng một vòng lặp phản hồi làm tín hiệu kích hoạt của cổng XOR được đề xuất. Như vậy, kế hoạch nhận dạng tiêu đề gói có thể được triển khai bằng cách sử dụng một khối chức năng duy nhất. Thiết bị mới này, một cổng XOR logic N bit, được minh họa theo cách hình vẽ trong Hình 2.25. Phương trình mô tả đầu ra của cổng XOR

logic N bit có thể được biểu diễn như sau ($i \geq 1$): $x_i = (a_i \oplus b_i) c_i$

XOR được thực hiện dùng mạch trên và AND được thực hiện từ bộ 2x1 MMI. Để thực hiện được bộ trễ T, Luận án đề xuất cấu trúc mới với khả năng tăng cường thời gian trễ so với cấu trúc dùng vi cộng hưởng đã được công bố trước đó. Cấu trúc mới được đề xuất ở Hình 2.26. Tín hiệu quang được truyền qua cấu trúc dùng mô phỏng FDTD cũng được chỉ ra ở Hình 2.26.

Việc phân tích trễ nhóm và đặc tính truyền dẫn của các cấu trúc vi cộng hưởng làm bộ lọc và bù tán sắc đã được nghiên cứu trước đây [142] [143] [144]. Cấu trúc đề xuất có ưu điểm gọn, có thể tăng gấp đôi thời gian trễ trên cùng một cấu trúc mà hầu như không làm tăng kích thước mạch bằng cách sử dụng một cấu trúc 4x4 MMI với 2 ống dẫn sóng phản hồi.

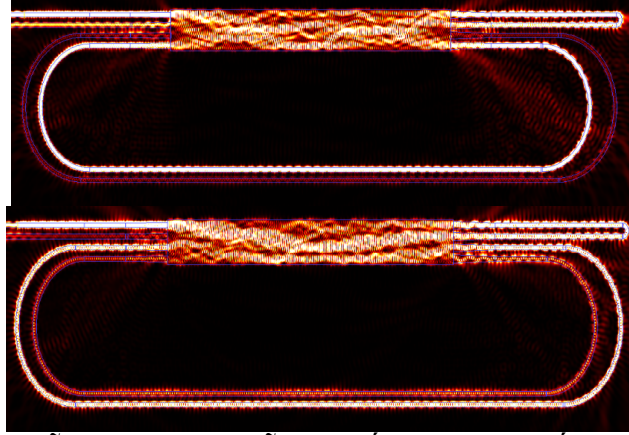




(b)
Hình 2.13 Bộ tương quan xử lý tiêu đề quang



Hình 2.14 Tín hiệu quang được truyền qua cấu trúc dùng mô phỏng FDTD



Hình 2.15 Bộ trễ với thời gian trễ tăng gấp đôi so với cấu trúc truyền thống

Cấu trúc của bộ vi cộng hưởng chỉ ra ở Hình 2.27, trong đó biên độ tín hiệu ra và vào có quan hệ [114]:

$$H_1 = \frac{E_2}{E_1} = \frac{\tau_1 - \alpha_1 \exp(j\theta_1)}{1 - \alpha_1 \tau_1 \exp(j\theta_1)}$$

Ở đây E_1, E_2 là biên độ tín hiệu đầu vào và đầu ra; τ_1 và $\kappa_1 = \sqrt{1 - |\tau_1|^2}$ là các hệ số ghép truyền dẫn và ghép chéo của bộ ghép; α_1 là hệ số suy hao trong ống dẫn sóng phản hồi; $\theta_1 = \frac{2\pi}{\lambda} N_{eff} L_{R1}$ là di pha. Hệ số N_{eff} là chỉ số chiết suất hiệu dụng, λ là bước sóng và $L_{R1} = 2\pi R_1$ là chu vi của ống dẫn sóng tròn.

Từ đó ta tính được di pha hiệu dụng (effective phase shift) của bộ vi cộng hưởng như sau:

$$\phi_{single} = \arg \left\{ \frac{E_2}{E_1} \right\} = \text{artan} \left\{ \frac{\alpha_1 \kappa^2 \sin(\omega)}{(1 + \alpha_1^2)\tau - (1 + \tau^2)\alpha_1 \cos(\omega)} \right\}$$

Độ trễ nhóm chuẩn hóa được định nghĩa là $\tau_n = -\frac{d\phi_{single}}{d\omega}$. Độ trễ nhóm tuyệt đối của bộ vi cộng hưởng là $\tau_d = T \tau_n$, trong đó T là đơn vị trễ tín hiệu. Cộng hưởng xảy ra tại giá trị pha $\theta_1 = 2m\pi$, trong đó

m là số nguyên. Tại cộng hưởng, nếu $\tau_1 > \alpha_1$ thì dẫn đến hiện tượng làm nhanh ánh sáng và nếu $\tau_1 < \alpha_1$, thì dẫn đến làm chậm xung ánh sáng. Hiện tượng ghép tới hạn xảy ra khi $\tau_1 = \alpha_1$.

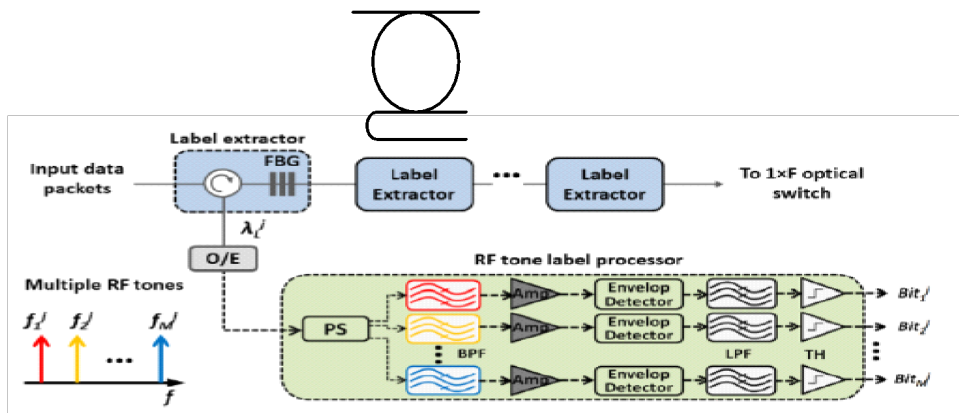
Cấu trúc này cho phép tạo ra thời gian trễ và đệm mong muốn phụ thuộc vào N với suy hao thấp và kích thước nhỏ nhờ ưu điểm của vi cộng hưởng. Kết quả là hàm truyền của cấu trúc trễ mới là:

$$H = H_1 H_2 = \left(\frac{E_2}{E_1} \right)^2 = \left\{ \frac{\tau - \alpha \exp(j\theta)}{1 - \alpha \tau \exp(j\theta)} \right\}^2$$

trong đó, $\tau = \tau_1$ và $\alpha = \alpha_1$ là suy hao và pha $\theta = \frac{2\pi}{\lambda} N_{eff} L_R$.

2.2.3 Thiết kế bộ tách nhãn quang

Khi gói dữ liệu đến tại công tắc quang học, bộ trích xuất nhãn trước hết trích xuất bước sóng nhãn trong dải băng, trong khi tải hữu ích quang của gói dữ liệu được chuyển tiếp một cách trong suốt đến công tắc quang học $1 \times F$. Bộ trích xuất nhãn chủ yếu ở đây bao gồm một loạt bộ lọc quang học chặt băng thông ch pass lưu động như một loạt các bộ lọc quang Bragg sợi nối tiếp (FBG) hoặc bộ lọc tổ hợp tích hợp. Sau quá trình chuyển đổi quang-điện (O/E), các nhãn quang mang nhiều tần số RF được gửi đến bộ xử lý nhãn (LP), nơi nó khôi phục các bit nhãn dài cơ sở và gửi chúng đến bộ điều khiển công tắc. Hình 2.29 trình bày việc triển khai chi tiết của bộ xử lý tần số RF cho một trong các bước sóng nhãn được lọc ra bởi FBG.



Hình 2.16 Bộ xử lý nhãn truyền thống

Hai phương pháp tách nhãn dùng cách tử và cấu trúc vi cộng hưởng trên có nhược điểm độ chính xác kém, sai số chế tạo cao do dùng cấu trúc cách tử và bộ ghép có hướng. Ở đây, Luận án đề xuất hai cấu trúc mới để tách nhãn quang và giải quyết được vấn đề trên. Cấu trúc thứ nhất sử dụng 4×4 MMI có vòng phản hồi và cấu trúc vi cộng hưởng 3×3 MMI.

Một bộ cộng hưởng vi mạch quang học mới chỉ dựa trên một ống dẫn sóng đa mode với bốn cổng được thể hiện trong Hình 2.30. Luận án sử dụng ống dẫn sóng Si với chiều rộng 500nm và chiều cao 220nm cho ống dẫn sóng đầu vào và đầu ra. Đối với ống dẫn sóng đa mode, tác giả sử dụng chiều rộng rộng hơn. Trong cấu trúc này, tác giả sử dụng một ống dẫn sóng phản hồi cho ống dẫn sóng vòng và tạo thành bộ cộng hưởng vi mạch bổ sung. Việc thả và thông qua cổng T_p và T_d được thể hiện trong Hình 2.31. Trong cấu trúc này tác giả sử dụng chiều dài MMI là $L_{MMI} = 1.5L\pi$.

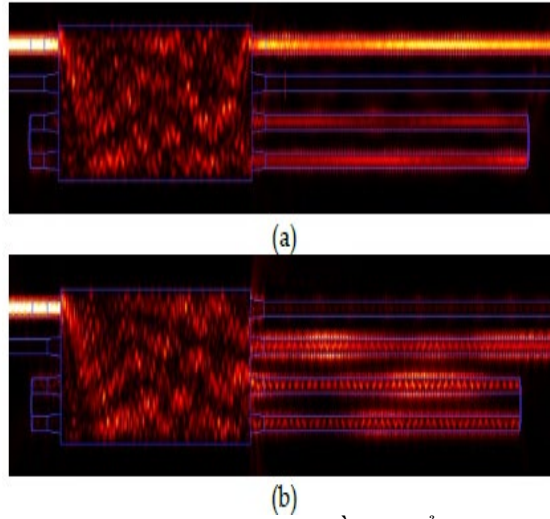


Hình 2.17. Cấu trúc vi cộng hưởng dùng MMI ứng dụng cho tách nhãn
 Tín hiệu truyền qua cấu trúc cộng hưởng trên được tính ở cổng T_p và T_d theo công thức [96]:

$$T_p = \frac{0.5\alpha^2 - a\cos\phi + 0.5}{1 - a\cos\phi + (0.5\alpha)^2} = I_{out1} \quad (3.6)$$

$$T_p = \frac{0.25\alpha}{1 - a\cos\phi + (0.5\alpha)^2} = I_{out2} \quad (3.7)$$

Kết quả mô phỏng gói tin truyền qua cấu trúc được chỉ ra ở Hình 2.31.



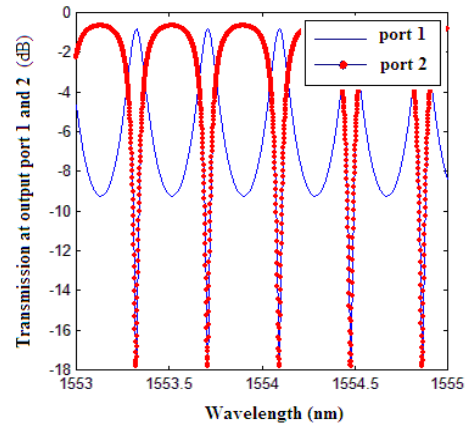
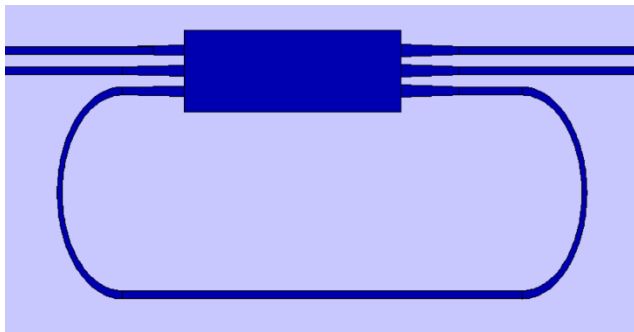
Hình 2.18: Gói tin truyền trong 4x4 MMI (a) dữ liệu ở đầu ra cổng 1 và (b) nhãn/tiêu đề đi ra ở cổng 2

Cấu trúc mới thứ 2 Luận án thiết kế là sử dụng vi cộng hưởng 3x3 MMI như trên Hình 2.32. Tại

chiều dài $L_{MMI} = \frac{3L_\pi}{8}$, 3x3 MMI được đặc trưng bằng ma trận:

$$\mathbf{M} = \begin{bmatrix} \frac{j}{2} & \frac{j}{\sqrt{2}} e^{-j\frac{3\pi}{8}} & -\frac{j}{2} \\ \frac{j}{\sqrt{2}} e^{-j\frac{3\pi}{8}} & 0 & \frac{j}{\sqrt{2}} e^{-j\frac{3\pi}{8}} \\ -\frac{j}{2} & \frac{j}{\sqrt{2}} e^{-j\frac{3\pi}{8}} & \frac{j}{2} \end{bmatrix}$$

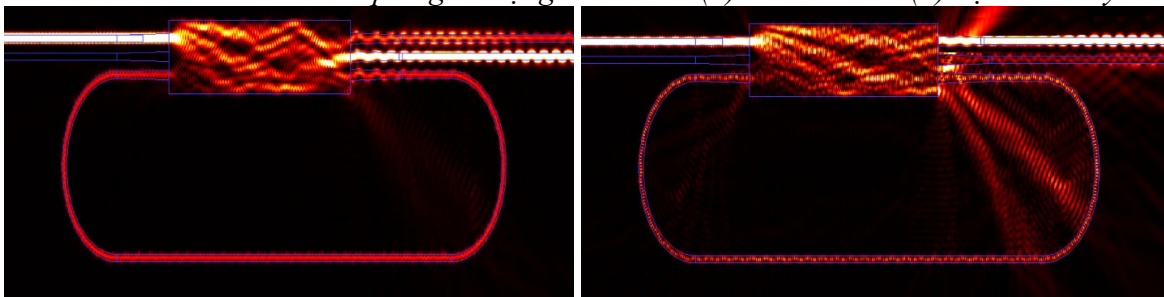
Kết quả mô phỏng đặc tính truyền dẫn, dữ liệu gói tin truyền qua cấu trúc được mô phỏng trên Hình 2.33. Kết quả cho thấy dữ liệu được lấy ra ở cổng 1 và tiêu đề/nhãn quang được lấy ra ở cổng 2 như phân tích giải tích.



(a)

(b)

Hình 2.19 Cấu trúc tách nhãn quang sử dụng 3x3 MMI: (a) 3x3 MMI và (b) đặc tính truyền dẫn



Hình 2.20 Gói tin truyền trong 3x3 MMI (a) dữ liệu ở đầu ra cổng 1 và (b) nhãn/tiêu đề đi ra ở cổng 2

2.3 Kết luận

Chương 2 trình bày các kết quả nghiên cứu mới của Luận án về nhận dạng nhãn quang BPSK (Binary Phase Shift Keying), QPSK (Quadrature Phase Shift Keying), thiết kế mới về bộ tương quan quang và bộ trễ quang mới trong mạng thông tin toàn quang. Nghiên cứu này giới thiệu các mạch quang dựa trên cấu trúc giao thoa đa mode (MMI) để nhận dạng nhãn được mã hóa theo BPSK. Các mạch được đề xuất sử dụng cấu trúc 1x2, 4x4 và 2x2 được kết hợp từ các MMI. Hiệu suất của những thiết bị này được phân tích và xác nhận một cách cẩn thận bằng phương pháp truyền dẫn bằng sóng (BPM) và phương pháp mở rộng mode riêng (EME). Thiết kế dựa trên nền tảng SOI, phù hợp với công nghệ CMOS hiện tại. Thiết kế mới đề xuất mang lại những ưu điểm về suy hao thấp, kích thước nhỏ, băng thông cao và dung sai chế tạo lớn so với các nghiên cứu gần đây dựa trên kết nối X-junction. Dung sai chế tạo cho độ dài MMI là ± 100 nm và băng thông khoảng 15nm.

CHƯƠNG 3

NHẬN DẠNG NHÃN DỰA VÀO MẠNG NƠ - RON TOÀN QUANG

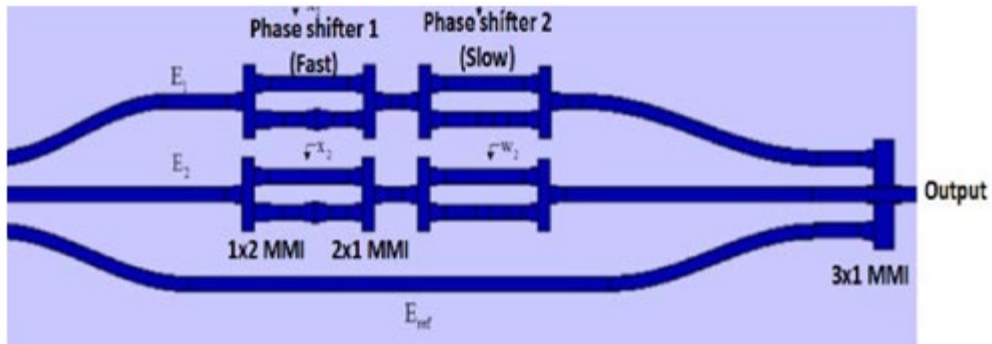
Chương 3 đề xuất cấu trúc mạng nơ-ron trong lĩnh vực quang học, mạng nơ-ron toàn quang có thể mang lại lợi ích về tốc độ cao, thuật toán học sâu tiết kiệm năng lượng, băng thông lớn và tính toán song song cao [1]. Mạng nơ-ron quang học đã được đề xuất trong cơ sở lý thuyết ban đầu, nhưng những cấu trúc này bị hạn chế do yêu cầu về độ phức tạp của phần cứng. Trong nghiên cứu này, ta trình bày một bộ xử lý tích chập quang học mới dựa trên phép nhân ma trận nhất quán sử dụng cấu trúc can thiệp đa chế độ (MMI). Cấu trúc của ta được xác minh bằng cách sử dụng các mô phỏng số dựa trên phương pháp Finite-difference time-domain (FDTD). Cấu trúc mạng nơ-ron quang học mới được ứng dụng để nhận dạng nhãn quang BPSK trong mạng thông tin toàn quang được đề xuất trong Chương 3 của Luận án.

3.1 Thiết kế mạng nơ-ron tích chập quang dựa vào cấu trúc MMI

Học sâu có một loạt ứng dụng rộng lớn trong các lĩnh vực khoa học và công nghiệp. Phép nhân ma trận là cốt lõi của các thuật toán học sâu. Tuy nhiên, hệ thống điện tử tính toán hiện tại bị giới hạn do hạn

chế của các đơn vị xử lý trung tâm (CPU) đa năng. Trên thực tế, các đơn vị xử lý đồ họa (GPU) và mạch tích hợp đặc biệt cho ứng dụng (ASIC) có thể được sử dụng để tăng tốc độ tính toán. Gần đây, mạch tích hợp quang học (PIC) đã xuất hiện như một công cụ hứa hẹn để tăng tốc phép nhân ma trận. Các thiết bị dựa trên photon yêu cầu mất năng lượng thấp trong quá trình truyền tải và băng thông cao so với các thiết bị dựa trên electron. Do đó, một bộ tăng tốc phép nhân ma trận quang học dự kiến sẽ có tốc độ xử lý cao hơn và hiệu quả năng lượng hơn so với đối tác điện tử.

Như được hiển thị trong Hình 3.1, cấu trúc chứa coupler MMI 1xN tại cổng vào và coupler MMI Nx1 tại cổng ra. Một nhánh được sử dụng cho tín hiệu tham chiếu. Các bộ điều chỉnh pha dựa trên hiệu ứng nhiệt quang để điều chỉnh chậm các yếu tố trọng số và dựa trên hiệu ứng plasma được sử dụng để điều chỉnh nhanh cho dữ liệu đầu vào. Cấu hình đẩy-đỡ được sử dụng tại các bộ điều chỉnh pha. Cấu trúc Modulator Mach-Zehnder (MZM) được sử dụng tại các nhánh cho điều chế biên độ. Trong hình này, ta chỉ ra N=3.



Hình 3.21 Sơ đồ bộ xử lý ma trận nhân quang học quá trình hoặc mới dựa trên cấu trúc MMI

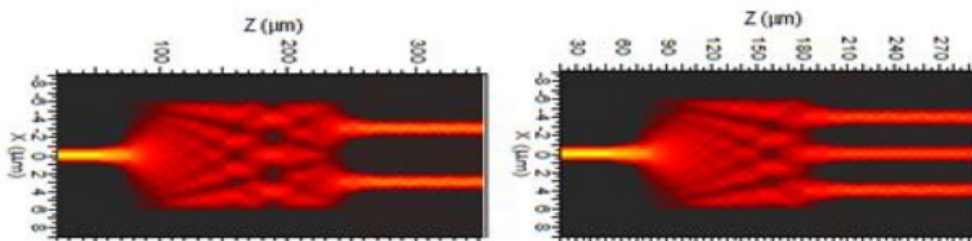
Trong phần này, ta mô phỏng toàn bộ cấu trúc sử dụng phương pháp FDTD. Sóng dẫn silic được sử dụng cho thiết kế [1]. Bước sóng làm việc là 1550nm [7]. Đối với việc điều chỉnh chậm sử dụng bộ điều chỉnh pha nhiệt quang, được sử dụng cho yếu tố lọc hạt nhân. Bộ sưởi silic pha lẫn được sử dụng như được hiển thị trong Hình 3.4.

Sự thay đổi dịch chuyển pha trong sóng dẫn được sưởi có thể được biểu thị bởi:

$$\Delta\phi = \frac{2\pi L_1}{\lambda} \frac{dn_{eff}}{dT} \Delta T \quad (3.1)$$

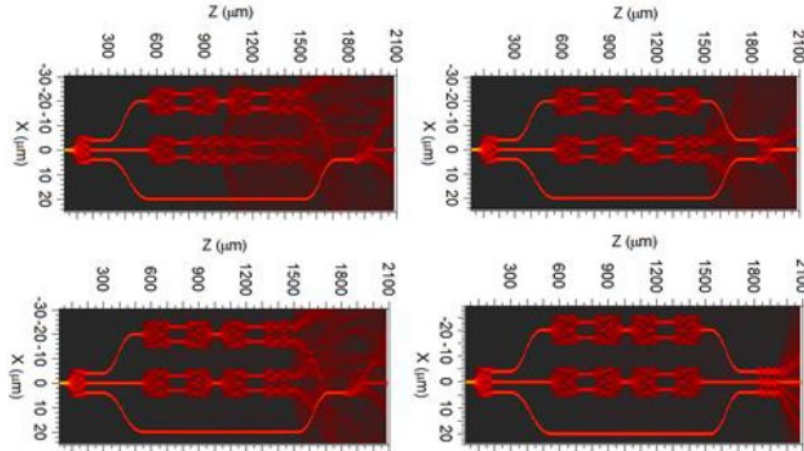
Nơi l là chiều dài của bộ điều chỉnh pha 1, là chỉ số hiệu quả của chế độ cơ bản của sóng dẫn (Hình 3.4b). Trong thiết kế này, ta chọn chiều dài của bộ điều chỉnh pha 1 là 320 μ m. Đối với việc điều chỉnh nhanh sử dụng hiệu ứng phân tán plasma trong sóng dẫn silic, dữ liệu đầu vào được sử dụng tại bộ điều chỉnh pha 1 của Hình 3.1.

Như được hiển thị trong Hình 3.1, bộ xử lý tích chập quang học bao gồm các coupler MMI 1xN. Ví dụ, cho bộ lọc hạt nhân 2x2, coupler MMI 1x3 và 1x2 được sử dụng. Kết quả là, ta cần thiết kế tối ưu các coupler MMI 1x2 và 1x3. Sự truyền dẫn trường qua các coupler MMI 1x2 và 1x3 được mô phỏng trong Hình 3.6.



Hình 3.22 Thiết kế tối ưu của các coupler MMI 1x2 và 1x3

Tiếp theo, ta mô phỏng sự truyền dẫn trường qua bộ xử lý tích chập quang học cho các dòng dữ liệu đầu vào và các yếu tố hạt nhân khác nhau. Với dữ liệu đầu vào $[x_1 \ x_2]^T$ và các yếu tố hạt nhân $[w_1 \ w_2]^T$, đầu ra được tính bằng $[y = x_1w_1 + x_2w_2]$.



Hình 3.23 Truyền dẫn trường qua bộ xử lý tích chập quang học với các dữ liệu đầu vào và yếu tố hạt nhân khác nhau

Hình 3.7 hiển thị kết quả mô phỏng tại các công suất áp dụng khác nhau tại các bộ điều chỉnh pha 1 và 2.

3.2 Nhận dạng nhãn quang BPSK và QPSK dùng mạng nơ ron quang

Xử lý nhãn quang học được kỳ vọng sẽ được áp dụng vào việc định tuyến nhãn trong các mạng quang học tốc độ cao. Thông tin nhãn được sử dụng để tạo ra tín hiệu điều khiển của công tắc quang bằng cách tham chiếu bảng định tuyến để chuyển tiếp các gói tin. Ta đã nghiên cứu về nhận dạng quang học của nhãn mã hóa BPSK sử dụng thiết bị sóng dẫn thụ động. [1] Khi tất cả các mã được sử dụng làm nhãn, quá trình hậu xử lý để ngưỡng hóa là cần thiết. Bằng cách sử dụng tính phi tuyến trong xử lý nhãn, quá trình ngưỡng hóa có thể được loại bỏ. Là một phương pháp xử lý phi tuyến, mạng nơ-ron có giá trị phức có thể là một ứng cử viên [1]. Các mạng nơ-ron đã được nghiên cứu để sử dụng trong lưu trữ và định tuyến [3,4]. Ta đã đề xuất nhận dạng và phân loại nhãn BPSK sử dụng mạng nơ-ron quang học với lan truyền ngược của tín hiệu lỗi. [5] Hiệu suất tốt được xác nhận chỉ với nhãn ít hơn ba bit. Khả năng nhận dạng được cải thiện bằng cách sử dụng phương pháp học với lan truyền ngược của tín hiệu hướng dẫn. [6]

Xử lý nhãn cho việc định tuyến

Trong các bộ định tuyến quang học, công tắc quang được điều khiển theo nhãn và bảng định tuyến. Ta nghiên cứu để thực hiện bộ xử lý nhãn với mạng nơ-ron quang học. Bộ xử lý có thể nhận diện thông tin nhãn. Bộ xử lý cũng có thể được sử dụng để xác định cổng đích đầu ra cho mỗi gói tin theo nhãn và bảng định tuyến, có nghĩa là phân loại các nhãn đầu vào vào nhóm tương ứng với số cổng đầu ra của bộ định tuyến.

Cấu hình của mạng nơ-ron có hai đầu vào và mười sáu đầu ra cho nhãn QPSK hai ký tự được hiển thị trong hình 3.10 Vì tín hiệu quang $x_i^{(k)}$ có biên độ và pha, $x_i^{(k)} = |x_i^{(k)}| \exp(j\theta_i^{(k)})$, hệ thống có thể được biểu diễn bằng mạng nơ-ron có giá trị phức. Trạng thái nội bộ của nơ-ron $u_j^{(k)}$ có thể được biểu thị với các đầu vào và trọng số $w_{ji}^{(k)} = |w_{ji}^{(k)}| \exp(j\theta_{ji}^{(k)})$ như

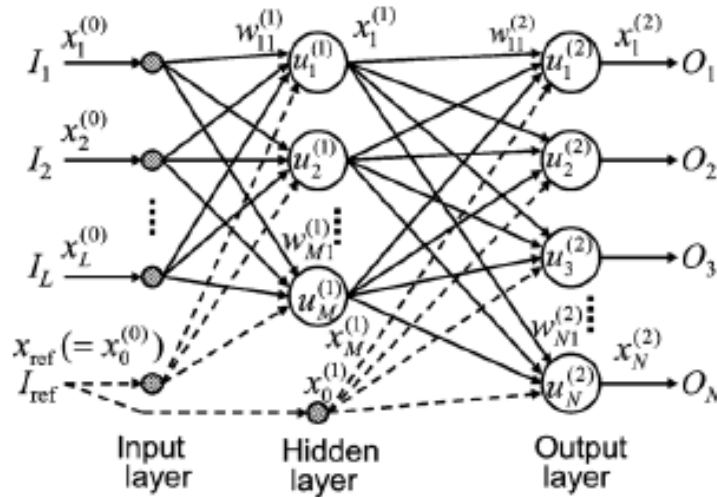
$$u_j^{(k)} = \sum_i w_{ji}^{(k)} x_i^{(k)} \quad (3.2)$$

Ta sử dụng hàm kích hoạt sau tại nơ-ron

$$x_j^{(k)} = \tanh(u_j^{(k)}) \exp[j \arg(u_j^{(k)})] \quad (3.3)$$

Hệ thống nhận dạng nhãn quang học có tiềm năng tiêu thụ điện năng thấp, sử dụng sự tương quan quang học giữa nhãn được mã hóa nhị pha dịch chuyển (BPSK) đã lưu trữ và nhãn gặp phải để xác định nhãn tự tương quan. Đối với ứng dụng nhận định tuyến, cần nhiều bộ tương quan. Thiết bị quang học tích hợp không hoạt động để nhận dạng một tập mã riêng của tất cả các mã nhị phân đã được nghiên cứu. Một tập mã vuông góc bao gồm nhiều cấp độ PSK cũng đã được đề xuất, có thể cung cấp sự linh hoạt hơn trong mã hóa và giải mã. Tác giả cũng đã báo cáo về thiết bị quang học tích hợp không hoạt động có khả năng nhận dạng tất cả các mã nhị phân và bốn phân. Tuy nhiên, kiến trúc thiết bị thụ động này có hạn chế về độ tương phản đầu ra. Do đó, cần thiết bị xử lý hậu kỳ ngưỡng quang học để bù đắp cho độ tương phản đầu ra thấp. Thay vì xử lý hậu kỳ ngưỡng phi tuyến này tại các đầu ra, ta đề xuất việc sử dụng phi tuyến tính như kiến trúc mạng nơ-ron trong Luận án này. Các tham số tối ưu cấu thành các mạch mạng nơ-ron có thể được tìm thấy bằng cách học từ mỗi quan hệ đầu vào-đầu ra lý tưởng. Vì mạch được đề xuất có thể xử lý tất cả các mã nhị phân làm nhãn, số bit nhỏ hơn có thể được sử dụng để biểu diễn một nhãn so với các mạch sử dụng một tập mã nhị phân riêng biệt hoặc một tập mã vuông góc. Mạng nơ-ron quang học đã được nghiên cứu cho định tuyến và kiểm soát đệm. Mạng nơ-ron Hopfield đã được nghiên cứu cho lập lịch QoS trong bộ định tuyến. Việc triển khai quang học của một nơ-ron tích hợp và phát lửa rờ rĩ cũng đã được báo cáo.

Ta xem xét mạch mạng nơ-ron quang học như là bộ xử lý nhãn như được hiển thị trong Hình 2. Số lượng cổng đầu vào, số lượng nơ-ron trong lớp ẩn và số lượng nơ-ron trong lớp đầu ra lần lượt là L , M , và N . Ngoài các cổng đầu vào, một cổng bổ sung được giới thiệu cho một tín hiệu tham chiếu. Tín hiệu tham chiếu cũng được nhận tại bộ định tuyến như một trong các xung của chuỗi xung nhãn. Tín hiệu tham chiếu này cần thiết như một tham chiếu pha của các xung BPSK gặp phải. Mỗi hình tròn trong các lớp ẩn và đầu ra biểu thị một nơ-ron có giá trị phức.



Hình 3.24 Mạng nơ-ron giá trị phức với 1 lớp ẩn cho xử lý nhãn quang BPSK

Thiết bị ngưỡng đóng vai trò của hàm kích hoạt cho các tín hiệu tổng hợp. Các tham số trọng số của bộ khuếch đại biên độ và bộ dịch chuyển pha được học trước thông qua bảng định tuyến cho mạng kết nối. Các tham số đã học được giữ cố định trong quá trình hoạt động của bộ định tuyến trừ khi cấu trúc mạng thay đổi. Do đó, bộ xử lý nhãn mạng nơ-ron xử lý nhãn gặp phải mà không có bất kỳ phản hồi nào trong mạng nơ-ron.

Ta xem xét một chuỗi xung BPSK quang học bao gồm xung tham chiếu mà trường điện của nó được cho bởi...

$$e_{in}(t) = \sum_{l=0}^L p_0(t - l\Delta t) \exp[j(\omega(t - l\Delta t) - \phi_l)] \quad (3.4)$$

$$= \sum_{l=0}^L x_l^{(0)} p_0(t - l\Delta t) \exp[j\omega(t - l\Delta t)] \quad (3.5)$$

trong đó (t) là đường bao của xung, ω là tần số góc quang học, Δt là chu kỳ xung, là pha mã hóa của mỗi xung, $\phi_l \in [4]$ và $\phi = 0$ tương ứng với xung tham chiếu. Đối với các sự cố tín hiệu gặp phải, ta giả định $|x_l^{(0)}| = 1, l = 0, \dots, L$. Ta giả định rằng $x_0^{(0)} (= x_{ref}), x_1^{(0)}, \dots, x_L^{(0)}$ các xung gặp phải được chuyển vào mạng nơ-ron song song mà các tham số trọng số của nó được cho là đã được thiết lập bằng cách cung cấp tín hiệu điện điều khiển cho các bộ khuếch đại và bộ dịch chuyển pha. Các tham số trọng số được cho là đã được xác định bởi thuật toán học được mô tả trong phần tiếp theo.

Học các tham số của mạng nơ-ron

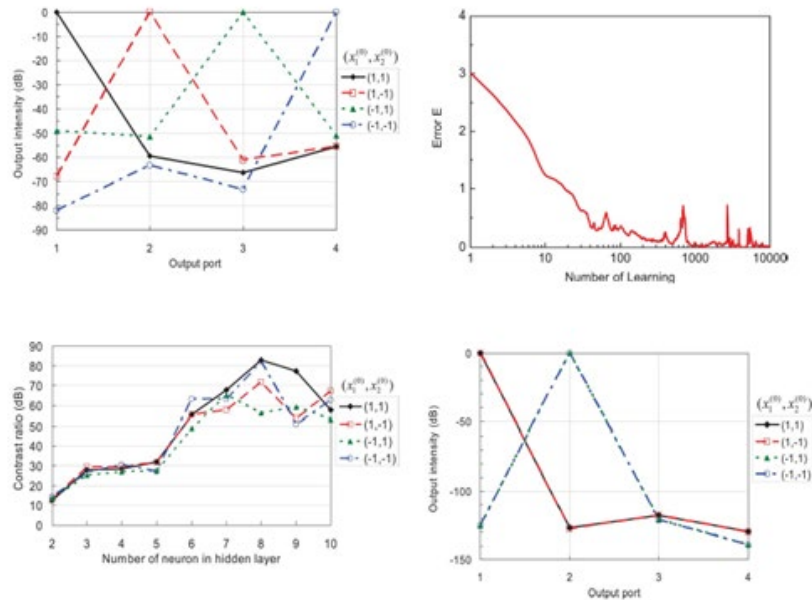
Mỗi xung gặp phải được chia thành các xung với một bộ phân chia công suất trong lớp đầu vào. Tại mỗi nơ-ron trong lớp ẩn, biên độ và pha được thay đổi theo các tham số trọng số, và các xung được trọng số hóa được cộng hợp lý và xử lý với thiết bị ngưỡng.

Để đo lường sự hội tụ thông qua học tập, ta đánh giá sự khác biệt giữa các đầu ra và tín hiệu hướng dẫn như là lỗi được định nghĩa:

$$E = \frac{1}{2} \sum_j |x_j^{(2)} - \hat{x}_j^{(2)}|^2 \quad (3.6)$$

Nên nhớ rằng xử lý việc học này được biểu diễn trong việc nâng cao của hoạt động thực trong nút mạng không thực sử dụng mạch mạng nơ-ron quang.

Kết quả mô phỏng nhận dạng nhãn và phân loại



Hình 3.25 Nhận dạng nhãn BPSK dùng mạng nơ-ron quang

Trong phần mô phỏng của nghiên cứu, số lượng lớp ẩn được giả định là một. Số lượng nơ-ron trong lớp ẩn được thay đổi để đạt được tỷ lệ tương phản lớn hơn tại các cổng đầu ra. Tại đây, tỷ lệ tương phản tại các đầu ra cho một nhãn gặp phải được định nghĩa là tỷ lệ giữa cường độ đầu ra lớn nhất chia cho cường độ đầu ra lớn thứ hai. Quá trình học được thực hiện hơn 200.000 lần, và các tham số trọng số đã học, nơi tỷ lệ tương phản lớn nhất được đạt được, được chấp nhận. Hằng số thời gian học được đặt là 0.1.

Trong việc triển khai mạng nơ-ron quang học được đề xuất, việc thực hiện thiết bị ngưỡng phi tuyến là một vấn đề then chốt. Các thiết bị ứng cử viên bao gồm một thiết bị đơn khối của bộ khuếch đại quang bán dẫn và các bộ hấp thụ điện tử bão hòa [25], một thiết bị dẫn sóng tinh thể photon silicon [26], và một nanocavity tinh thể photon silicon [27].

3.3 Kết luận Chương 3

Chương 3 đề cập đến các khái niệm và công nghệ liên quan đến mạng nơ-ron quang học và xử lý nhãn BPSK trong mạng chuyển mạch nhãn quang học. Đặc biệt, các đoạn này tập trung vào cách xử lý nhãn, sử dụng mạng nơ-ron có giá trị phức, và cách hệ thống này có thể nhận dạng và phân loại nhãn hiệu quả. Chương này nghiên cứu sinh tập trung vào việc sử dụng mạng nơ-ron quang học trong việc xử lý nhãn quang học và nhận dạng nhãn trong mạng chuyển mạch nhãn quang học. Đã thảo luận các vấn đề như hiệu suất nhận dạng nhãn, khả năng chịu nhiễu, và cách thức triển khai hệ thống mạng nơ-ron này trong thực tế. Nội dung chương cũng bao gồm các khía cạnh kỹ thuật chi tiết như cách thức mạng nơ-ron quang học hoạt động, cách học của mạng, và ảnh hưởng của nhiễu đối với hiệu suất của mạng, xem xét cả các kết quả mô phỏng và thảo luận về tiềm năng áp dụng các công nghệ này trong thực tế.

KẾT LUẬN

1. Những kết quả của Luận án

Luận án đã nghiên cứu được một số kết quả mới, đóng góp vào ngành:

- Thiết kế được 2 cấu trúc toàn quang nhận dạng nhãn quang BPSK, QPSK trong mạng chuyển mạch nhãn và tiêu đề quang. Cấu trúc mới được thiết kế sử dụng hiệu ứng giao thoa đa mode trên ống dẫn sóng quang SOI, phù hợp với công nghệ chế tạo vi mạch CMOS hiện nay. Cấu trúc mới có ưu điểm suy hao thấp, tích hợp trên một vi mạch, cho phép chế tạo dễ dàng hơn so với trước đây.

- Thiết kế được cấu trúc thực hiện cổng logic toàn quang XOR, NAND để ứng dụng trong bộ tương quan toàn quang, xử lý nhãn quang. Cấu trúc mới dựa vào hiệu ứng plasmonic giúp giảm kích thước, không cần sử dụng hiệu ứng phi tuyến toàn quang.

- Thiết kế được cấu trúc tạo trễ quang và bộ tách tiêu đề quang ứng dụng trong mạng chuyển mạch nhãn và tiêu đề quang.

- Thiết kế được cấu trúc mạng nơ-ron quang ứng dụng cho nhận dạng nhãn quang BPSK. Cấu trúc mạng nơ-ron quang mới sử dụng các cấu trúc vi mạch quang và ứng dụng trong nhận dạng nhãn quang dùng điều chế BPSK.

2. Hướng phát triển của Luận án

Trên cơ sở kết quả của Luận án, có một số vấn đề và hướng nghiên cứu mới như:

- Thiết kế hệ thống tích hợp bộ biến đổi ảnh trong miền quang với các bộ nhớ quang trong các hệ thống camera thông minh và xử lý dữ liệu ảnh thời gian thực. Đồng thời thiết kế các hệ thống toàn quang xử lý dữ liệu AR/VR.

- Phát triển mô hình mạng OONN cho các ứng dụng AI thời gian thực, đặc biệt thiết kế các hàm kích hoạt hoàn toàn trong miền quang.

- Cải tiến cấu trúc ống dẫn sóng cấu trúc graphene để tăng tốc độ xử lý dữ liệu và tốc độ học, từ đó thực hiện các bài toán phân tích dữ liệu lớn.

DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ

1. Trung Thanh Le, Duy Tien Le, Anh Tuan Nguyen, Thi Hong Loan Nguyen and Duong The Do (2023). *A Silicon-on-Insulator 4x4 Multimode Interference (MMI) Based Microring Structure for Highly Sensitive Hydrogen Detection*. International Journal of Applied Engineering and Technology 5(3), pp.106-113.
2. Trung Thanh Le*, Duy Tien Le, The Duong Do, Thi Hong Loan Nguyen and Anh Tuan Nguyen, *A Silicon-On-Insulator Ring Resonator Assisted Mach Zehnder Interferometer Structure For Highly Sensitive Hydrogen Intensity Detection*, *Semiconductor Optoelectronics*, Vol. 42 No. 2 (2023), 438-446
3. Thi Thuy Bui, Duy Tien Le, Thi Hong Loan Nguyen, Trung Thanh Le, “*On Chip Optical Neural Networks Based on MMI Microring Resonators for Image Classification*”, *Computer Optics*, ISSN 0134-2452(print) ISSN 2412-6179 (online), 2023, Issue Vol. 47(4), DOI: 10.18287/2412-6179-CO-1211 (Q1 ISI), Pages: 588-595.
4. Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, Le Minh Duong, and Le Trung Thanh, “*All-Optical XNOR and XOR Logic Gates Based on Ultra-Compact Multimode Interference Couplers Using Silicon Hybrid Plasmonic Waveguides*”, in *Communications, Signal Processing, and Systems*, Singapore, Q. Liang, W. Wang, X. Liu, Z. Na, and B. Zhang, Eds., 2022: Springer Singapore, pp. 1072-1079.
5. Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, and Le Trung Thanh, “*Ultra-Compact All-Optical NAND Logic Gates Based on 4×4 MMI Coupler Using Silicon Hybrid Plasmonic Waveguides*”, in *Recent Advances in Electrical and Electronic Engineering and Computer Science*, Singapore, Z. Zakaria and S. S. Emamian, Eds., 2022// 2022: Springer Singapore, pp. 69-75.
6. Thi Thuy Bui, Thi Hong Loan Nguyen, Duy Tien Le, Hai Yen Pham, Tien Thanh Do and Trung Thanh Le, *Coherent Optical Convolution Processor Based on MMI Structures for Deep Learning Applications*, The 2nd International Conference on Computer Application Technology (CCAT 2023), June 2023, Guiyang, China
7. Le Trung Thanh, Nguyen Canh Minh, Nguyen Van Khoi, Bui Thi Thuy, Nguyen Thi Hong Loan, “*Design of silicon wires based directional couplers for microring resonators*”, The University of Danang, Journal Of Science and Technology, No. 12(97), vol. 1, 2015