

**ĐẠI HỌC QUỐC GIA HÀ NỘI
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ**

Đỗ Hồng Minh

**NGHIÊN CỨU TÍNH CHẤT ĐIỆN VÀ ĐẶC TRƯNG
NHỚ SẮT ĐIỆN CỦA MÀNG ĐA LỚP MICRO/NANO
CHẾ TẠO BẰNG PHƯƠNG PHÁP DUNG DỊCH**

Chuyên ngành: Vật liệu và Linh kiện nano

Chuyên ngành đào tạo thí điểm

**TÓM TẮT LUẬN ÁN TIẾN SĨ CHUYÊN NGÀNH VẬT
LIỆU VÀ LINH KIỆN NANO**

Hà Nội - 2018

Công trình được hoàn thành tại: Bộ môn Vật liệu và Linh kiện bán dẫn nano, Khoa Vật lý kỹ thuật và Công nghệ nano, Trường Đại học Công nghệ, Đại học Quốc gia Hà Nội

Người hướng dẫn khoa học: TS. Bùi Nguyên Quốc Trình

PGS. TS. Phạm Đức Thắng

Phản biện 1: PGS. TS. Lê Văn Hồng

Phản biện 2: PGS. TS. Phương Đình Tâm

Luận án sẽ được bảo vệ trước Hội đồng cấp Đại học Quốc gia chấm luận án tiến sĩ họp tại Trường Đại học Công nghệ - Đại học Quốc Gia Hà Nội vào hồi giờ ngày tháng năm

Có thể tìm hiểu luận án tại:

1. Thư viện Quốc gia Việt Nam
2. Trung tâm Thông tin - Thư viện, Đại học Quốc gia Hà Nội

MỞ ĐẦU

Trong các thiết bị điện tử, một chi tiết không thể thiếu chính là các bộ nhớ. Có nhiều dòng bộ nhớ có cấu tạo, nguyên tắc hoạt động, chức năng và tốc độ rất khác nhau. Có hai dòng bộ nhớ chính là bộ nhớ tự xóa mà (SRAM, DRAM) và bộ nhớ không tự xóa mà điển hình là bộ nhớ sắt điện FGT. Bộ nhớ FGT có tốc độ nhanh, không bị mất dữ liệu khi mất nguồn và không bị phá hủy khi đọc. Bộ nhớ sắt điện thường gồm 4 lớp màng mỏng là: màng mỏng làm điện cực trên, màng mỏng làm kênh dẫn, màng mỏng sắt điện và màng mỏng làm điện cực dưới. Các lớp màng này được chế tạo trên một số loại đế.

Các nghiên cứu trong luận án này bao gồm:

Chế tạo các màng mỏng (sắt điện, kênh dẫn, điện cực) bằng phương pháp dung dịch với chất lượng màng tốt, không nứt gãy, độ lặp lại cao mở ra hướng chế tạo.

Khảo sát một cách có hệ thống sự ảnh hưởng của nhiệt độ ủ, chiều dày của các màng mỏng điện cực, màng mỏng kênh dẫn, và một số loại đế lên các tính chất sắt điện, nhằm mục đích cải thiện chất lượng của màng mỏng sắt điện.

Thiết kế, chế tạo và khảo sát hoạt động của các bộ nhớ sắt điện FGT. Đặc biệt, bằng công nghệ EB lithography với sự hỗ trợ của kỹ thuật ăn mòn khô, chúng tôi đã chế tạo bộ nhớ FGT có chiều rộng kênh dẫn cỡ vài chục nano mét. Điều này có ý nghĩa lớn trong việc giảm kích thước, tăng mật độ nhớ của các bộ nhớ.

Việc chế tạo thành công bộ nhớ sắt điện thử nghiệm với kích thước micro và nano góp phần cho sự phát triển nghiên cứu và thúc đẩy nhanh quá trình thương mại hóa bộ nhớ sắt điện nhằm phục vụ nhu cầu của con người. Luận án được nghiên cứu bằng cách kết hợp giữa phương pháp phân tích số liệu dựa trên các kết quả thực nghiệm và các mô hình lý thuyết đã công bố

CHƯƠNG 1. VẬT LIỆU TRONG LINH KIỆN NHỚ SẮT ĐIỆN

1.1. Bộ nhớ sắt điện

Bộ nhớ sắt điện có công điện môi sử dụng vật liệu sắt điện polymer đã được khảo sát rất rộng rãi do ưu điểm chính là dựa trên quy trình nhiệt độ thấp. Các bộ nhớ sắt điện có công

điện môi làm bằng các vật liệu sắt điện vô cơ có thể hoạt động thấp (cỡ 5 V), làm giảm mức tiêu hao năng lượng của bộ nhớ, làm giảm nhiệt độ làm việc của các linh kiện điện tử mà nó được tích hợp. Trong luận án này chúng tôi tập trung nghiên cứu các bộ nhớ sắt điện dạng transistor hiệu ứng trường (FeFET). Cấu tạo, nguyên lý ghi/đọc, triển vọng ứng dụng, một số vấn đề hạn chế và yêu cầu lựa chọn vật liệu chế tạo cho bộ nhớ FeFET đã được trình bày.

1.2. Vật liệu sắt điện có cấu trúc perovskite

1.2.1. Cấu trúc perovskite của các vật liệu sắt điện

Các vật liệu cấu trúc perovskite lý tưởng có công thức hóa học là ABO_3 , ô mạng cơ sở là hình lập phương có các tham số mạng $a = b = c$ và $\alpha = \beta = \gamma = 90^\circ$. Trong mỗi ô cơ sở, các cation A nằm ở 8 đỉnh của hình lập phương, các anion O nằm ở tâm của các mặt lập phương hợp với cation B (nằm ở tâm hình lập phương) thành một khối bát diện BO_6 .

Ngoài kiểu cấu trúc lập phương còn một số kiểu cấu trúc perovskite khác như: Cấu trúc perovskite kiểu Bi chồng lớp mà đại diện là $SrBi_2Ta_2O_9$ (SBT) hay $(Bi_{3+x}La_{1-x})Ti_3O_{12}$ (BLT); Cấu trúc perovskite kiểu đồng - vonfram; Một nhóm perovskite khác ít được nghiên cứu hơn là cấu trúc perovskite kiểu pyrochlore..

1.2.2. Lý thuyết Ginzburg-Landau về chuyển pha sắt điện

Lý thuyết chuyển pha sắt điện Landau dựa trên thuyết nhiệt động về chuyển pha của vật liệu sắt điện trên cơ sở phân tích hàm năng lượng tự do $G(P, T)$. Trong lý thuyết đó, độ phân cực P là thông số trật tự giảm liên tục đến không ở nhiệt độ chuyển pha T_C .

1.2.3. Tính chất sắt điện trong vật liệu có cấu trúc kiểu perovskite

Xuất phát từ quan điểm nhiệt động học, để giải thích sự hình thành các mômen lưỡng cực điện tự phát người ta cho rằng khi có sự dịch chuyển từ pha lập phương thuận điện không phân cực sang pha sắt điện đều kèm theo sự chuyển pha cấu trúc sang đối xứng thấp hơn (như pha tứ giác) và ngược lại. Sự thay đổi cấu trúc sang đối xứng thấp hơn làm cho kích thước của khối bát diện BO_6 được mở rộng ra làm cho các anion O^{2-} có thể dịch

chuyển qua lại giữa hai tâm kém bền hơn trong ô cơ sở gây ra mômen lưỡng cực điện tự phát.

Độ phân cực tự phát của các vật liệu sắt điện phụ thuộc mạnh vào nhiệt độ ở vùng lân cận nhiệt độ chuyển pha T_C , nó đột ngột giảm về 0 khi nhiệt độ đạt đến nhiệt độ Curie (T_C). Ở trên nhiệt độ T_C hoàn toàn không có độ phân cực dư. Điều này sẽ được giải thích trong mục 1.1.4 về cấu trúc đômen sắt điện.

1.2.4. Cấu trúc đômen sắt điện

Đômen sắt điện là các vùng rất nhỏ trong tinh thể sắt điện chứa một lượng lớn các lưỡng cực của phân cực tự phát (ở vùng nhiệt nhỏ hơn nhiệt độ Curie) được sắp xếp theo cùng một hướng. Lí do của sự hình thành các vùng này là nếu tất cả các lưỡng cực của phân cực đồng thời định hướng theo một phương, thì năng lượng tĩnh điện của hệ sẽ cực kỳ lớn và hệ trở nên không ổn định. Hệ luôn có xu hướng cực tiểu hóa thế năng của nó cho nên các đômen được sắp xếp theo nhiều cách sao cho phân cực của các đômen sẽ bù trừ nhau, và do đó phân cực toàn phần của hệ vật liệu theo bất kỳ hướng nào cũng đều sẽ triệt tiêu.

Vùng ngăn cách giữa hai đômen được gọi là vách đômen, nó được hình thành là để cực tiểu hóa năng lượng tĩnh điện của trường khử phân cực và năng lượng đàn hồi liên quan đến cường bức cơ học lên vật liệu sắt điện khi vật liệu bị làm lạnh đến điểm chuyển pha thuận điện-sắt điện. Tùy vào hướng của đômen có thể có nhiều loại vách khác nhau. Tên gọi vách đômen có thể được gọi theo góc giữa hai đômen cạnh nhau.

1.2.5. Đường điện trở của vật liệu sắt điện ở nhiệt độ $T < T_C$

Là đường cong khép kín mô tả sự phụ thuộc của độ phân cực vào điện trường ngoài của một vật liệu sắt điện.

1.3. Một số vật liệu trong linh kiện nhớ sắt điện

Tính chất điện của màng mỏng sắt điện PZT chịu ảnh hưởng của nhiều yếu tố như thành phần pha, định hướng của màng, chuyển động vách đômen trong vật liệu, bề dày, lớp tiếp xúc và kích thước hạt. Yếu tố của điện cực làm ảnh hưởng đến tính chất sắt điện của màng mỏng sắt điện là điện tích địa phương tại phân biên màng sắt điện - điện cực. Để phù hợp với công thoát của màng mỏng Pt, kênh dẫn được chúng tôi lựa chọn là ITO.

CHƯƠNG 2. CÁC PHƯƠNG PHÁP THỰC NGHIỆM

2.1. Chế tạo mẫu

Trong luận án này chúng tôi lựa chọn phương pháp dung dịch để chế tạo các màng mỏng PZT, BLT, SBT và ITO.

2.1.1. Chế tạo màng mỏng theo phương pháp dung dịch

Các đế được cắt với kích thước $10 \times 10 \text{ mm}^2$ (hoặc $20 \times 20 \text{ mm}^2$), được rung siêu âm trong acetone 5 phút, trong cồn 5 phút. Sau đó được sấy khô và thổi sạch bằng khí N_2 . Các dung dịch tiền chất được nhỏ trên bề mặt đế và quay phủ ở chế độ đệm 500 vòng/phút trong 10 giây, sau đó tăng tốc độ quay đến 2000 vòng/phút trong 40 giây. Mẫu sau mỗi lần quay phủ các dung dịch tiền chất thì được sấy sơ bộ ở 150°C trong 1 phút, và 250°C trong 5 phút. Bước 2 và bước 3 có thể được lặp đi lặp lại nhiều lần.

Các mẫu được ủ nhiệt trong môi trường môi trường hỗn hợp khí O_2 và N_2 với tỉ lệ 1:4 theo quy trình ủ nhiệt chậm và quy trình ủ nhiệt nhanh trong 30 phút ở các nhiệt độ khác nhau.

2.1.2. Chế tạo điện cực Pt

Điện cực Pt được chế tạo bằng phương pháp phun xạ chân không trên hệ phun xạ ba bia (BOC Edward FL 500) với chế độ phun là phun xạ cao áp một chiều. Một mặt nạ có các lỗ tròn nhỏ với kích thước 100 μm , 200 μm và 500 μm được sử dụng để tạo hình cho điện cực Pt.

2.2. Phương pháp phân tích tính chất của các màng mỏng

2.2.1. Khảo sát cấu trúc tinh thể bằng phương pháp nhiễu xạ tia X.

Các màng mỏng BLT, PZT, LNO, ITO sau khi chế tạo được xác định cấu trúc bằng phương pháp nhiễu xạ X-ray. Phép đo được thực hiện trên thiết bị nhiễu xạ tia X (XRD, Bruker D5005, Siemen, Germany).

2.2.2. Khảo sát hình thái cấu trúc bề mặt của các màng mỏng

Hình thái học bề mặt của các màng mỏng được khảo sát bằng thiết bị SEM (Scanning Electronic Microscope). Bằng thiết bị này có thể xác định kích thước, mật độ hạt hay độ dày của màng.

2.2.3. Khảo sát tính chất điện của các màng mỏng sắt điện

Đặc trưng điện trở và đặc trưng dòng rò của màng mỏng sắt điện PZT được khảo sát bằng hệ Radiant Precision LC 10 đặt tại phòng thí nghiệm Mico-nano, trường Đại học Công nghệ, ĐH QGHN.

2.2.4. Cấu trúc vi mô bề mặt của mẫu

Để quan sát cấu trúc vi mô bề mặt của mẫu, chúng tôi sử dụng thiết bị kính hiển vi lực nguyên tử AFM XE-100 của hãng Park Systems, đặt tại Khoa Vật lý, Đại học Khoa học Tự nhiên.

2.2.5. Khảo sát hoạt động của bộ nhớ

Đặc trưng lồi ra, đặc trưng I-V được phân tích bằng hệ thiết bị phân tích các tham số bán dẫn (Semiconductor Parameter Analyzer) Agilent 4155C, tại Viện Khoa học và Công nghệ Tiên tiến Nhật Bản (Japan Advanced Institute of Science and Technology)

2.3. Phương pháp chế tạo bộ nhớ

2.3.1. Chế tạo bộ nhớ có kích thước micro mét

Trong công nghệ quang khắc có hai kỹ thuật chính là liff-off và ăn mòn. Liff-off là kỹ thuật quang khắc sử dụng chất cảm quang bị hòa tan trong các dung dịch tráng rửa sau khi bị ánh sáng chiếu vào. Ăn mòn là kỹ thuật quang khắc sử dụng chất cảm quang âm, không bị hòa tan trong các dung dịch tráng rửa sau khi bị ánh sáng chiếu vào, nó ngược với quá trình liff-off. Các bước của quá trình quang khắc gồm: Làm sạch bề mặt đế, phủ lớp photoresist, sấy sơ bộ, chiếu sáng, tráng rửa và Sấy sau khi hiện ảnh

2.3.2. Công nghệ quang khắc chùm điện tử

Các kích thước cỡ nano mét khi tạo hình transistor được thực hiện trên thiết bị khắc chùm điện tử (electron beam lithography), model JBX-6300FS, tại Viện Công nghệ Tokyo (Tokyo Institute of Technology). Trong điều kiện lý tưởng khi đạt cao áp 100 kV, thì chùm điện tử có thể hội tụ với đường chùm (beam line) chỉ cỡ 2.1 nm, tuy nhiên trong điều kiện thông thường, độ hội tụ của chùm điện tử đạt cỡ 5-8 nm.

Chùm tia điện tử chiếu qua “mặt nạ”, được tạo ra bởi các thấu kính điện tử và truyền hình ảnh của mặt nạ lên đế bán dẫn. Những “mặt nạ” này được vẽ từ phần mềm AutoCAD, sau đó được số hoá và truyền sang bộ phận giao tiếp của thiết bị JBX-

6300FS, thông qua card kết nối chuyên dụng. Bước sóng λ chùm tia điện tử được tính thông qua điện thế tăng tốc V.

2.3.3. Ăn mòn (Etching)

Tùy vào độ phân giải của chi tiết, các thiết bị có thể được sử dụng công nghệ ăn mòn ướt ($> 3\mu\text{m}$) hay ăn mòn khô ($< 3\mu\text{m}$). Ăn mòn ướt là phương pháp đơn giản nhất và kinh tế nhất để hòa tan các resist chưa đóng rắn. Ăn mòn khô là kỹ thuật ăn mòn có định hướng sử dụng các plasma hoặc hỗn hợp khí có tính phá hủy mạnh ($\text{CH}_4/\text{O}_2/\text{H}_2$, $\text{F}_2\dots$) để tạo các chi tiết có độ phân giải nhỏ cho các thiết bị. Tùy vào vật liệu ăn mòn người ta sẽ sử dụng hơi ăn mòn (không phản ứng) hay dùng ion hoạt hóa để ăn mòn.

CHƯƠNG 3. KHẢO SÁT TÍNH CHẤT CÁC HỆ MÀNG MỎNG

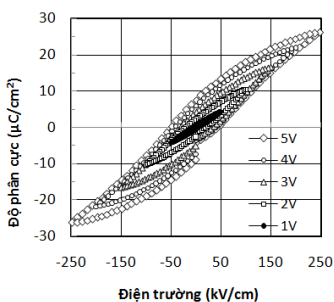
3.1. Khảo sát tính chất của các màng mỏng sắt điện.

3.1.1. Tính chất của các màng mỏng BLT trên đế $\text{Si}/\text{SiO}_2/\text{Ti}/\text{Pt}$

Phổ phân tích EDS đã minh chứng sự tồn tại của các nguyên tố Bi, La, Ti và O có trong màng mỏng BLT. Phần trăm về trọng lượng và nguyên tử của các nguyên tố được đã tính toán. Phép đo nhiễu xạ X-ray cho thấy nhiệt độ kết tinh của các màng mỏng BLT là từ 725°C .

Ảnh hiển vi điện tử quét (SEM) chụp bề mặt và mặt cắt ngang của mẫu BLT725 cho thấy bề mặt màng mỏng gồm các hạt đồng đều, khá phẳng, và không xuất hiện hiện tượng nứt gãy, kích thước hạt trung bình của mẫu khoảng 100 nm . Chiều dày của màng mỏng được xác định khoảng 213 nm . Kích thước của điện cực Pt là khoảng $510\text{ }\mu\text{m}$.

Đối với các màng mỏng BLT ủ nhiệt thấp hơn 725°C , đặc trưng P-E có dạng tuyến tính của vật liệu thuận điện. Đối với mẫu BLT725, đặc trưng P-E thể hiện rõ dạng của đường cong điện trễ, có tính đối xứng, nhưng chưa có dấu hiệu bão hòa điện trường áp 250 kV/cm , phân cực dư ở thế áp 5 V khoảng 10



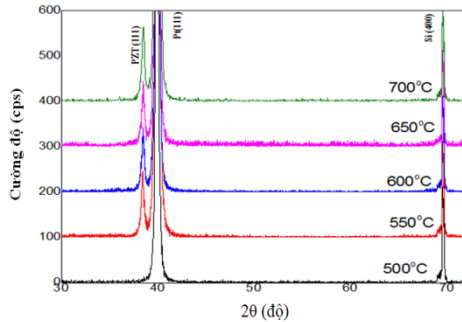
Hình 3.6. Đặc trưng điện trễ của mẫu BLT725

$\mu\text{C}/\text{cm}^2$ (hình 3.6), trường kháng điện của mẫu BLT725 (E_C) cỡ $50 \text{ kV}/\text{cm}$.

Đặc trưng dòng rò của màng mỏng BLT650, BLT675, BLT700 và BLT725 đã được chúng tôi khảo sát. Ở các thế áp thấp ($< 4 \text{ V}$) dòng rò của tất cả các mẫu là rất nhỏ ($< 30 \mu\text{C}/\text{cm}^2$). Ở thế áp 4V và 5 V , dòng rò của mẫu BLT725 chỉ khoảng $30 \mu\text{C}/\text{cm}^2$. Giá trị này là nhỏ nhất trong hệ vật liệu BLT mà chúng tôi đã khảo sát. Có thể nhận định mẫu màng mỏng BLT chế tạo bằng phương pháp dung dịch ủ tại 725°C có đặc trưng điện tốt nhất, nhưng chưa so sánh được với vật liệu PZT. Để cải thiện tính chất màng BLT chế tạo bằng phương pháp dung dịch cần tính tới việc bù Bi (do bị bay hơi trong quá trình ủ).

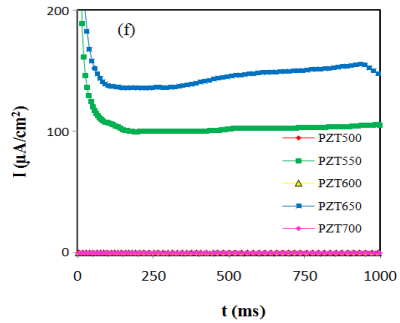
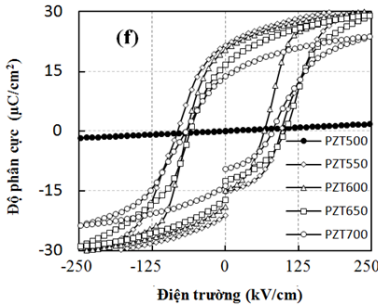
3.1.2. Tính chất màng mỏng PZT trên đế Si/SiO₂/Ti/Pt ủ nhiệt chậm

Phổ phân tích EDS đã minh chứng sự tồn tại của các nguyên tố Pb, Zr, Ti và O có trong màng mỏng PZT. Phần trăm về trọng lượng và nguyên tử của các nguyên tố cũng đã được tính toán. Trên giản đồ nhiễu xạ tia X, ở góc $2\theta = 69^\circ$ tất cả các mẫu đều có đỉnh Si(400) của đế. Với mẫu PZT500, xuất hiện duy nhất một đỉnh nhiễu xạ sắc nét ở góc $2\theta = 40^\circ$ với cường độ rất lớn được xác định là đỉnh Pt(111) (hình 3.9). Với mẫu PZT550, ngoài đỉnh Pt(111) thì còn có thêm một đỉnh nhiễu xạ ở 2θ khoảng 39° với cường độ nhỏ hơn chính là pha cấu trúc PZT(111). Như vậy, cấu trúc tinh thể perovskite của màng mỏng PZT được hình thành khi nhiệt độ ủ 550°C . Với các mẫu PZT600, PZT650 và PZT700, đều tồn tại pha PZT(111) với cường độ lớn dần theo nhiệt độ ủ. Có thể kết luận các màng mỏng PZT đã kết tinh đơn pha với định hướng ưu tiên là (111).



Hình 3.9. Giản đồ nhiễu xạ X-ray của hệ màng PZT ủ nhiệt chậm

Ảnh SEM cho thấy màng PZT được hình thành khá đồng đều với biên hạt rõ ràng, không bị nứt gãy, không có lỗ rỗng. Hạt tinh thể lớn nhất có kích thước tăng dần theo nhiệt độ ủ. Chiều dày của màng PZT600 là 201,8 nm.



Hình 3.11. Đặc trưng P - E của các màng mỏng PZT ở thế áp 5V. **Hình 3.12.** Đặc trưng J - t của các màng mỏng PZT ở thế áp 5V.

Với mẫu ủ ở 500 °C, đường $P(E)$ có dạng tuyến tính của vật liệu thuận điện. Ở mẫu khác, đặc trưng P - E của các mẫu đều có dạng điện trở đặc trưng của một vật liệu sắt điện. Mật độ dòng rò phụ thuộc thời gian ở các thế áp khác nhau được khảo sát như trên hình 3.12. Các giá trị phân cực dư, trường kháng điện và giá trị dòng rò của các mẫu ứng với điện trường áp là 250 kV/cm được tổng hợp trong bảng 3.3.

Bảng 3.3. Giá trị phân cực dư, trường kháng điện và mật độ dòng rò của các mẫu ở thế áp 5V

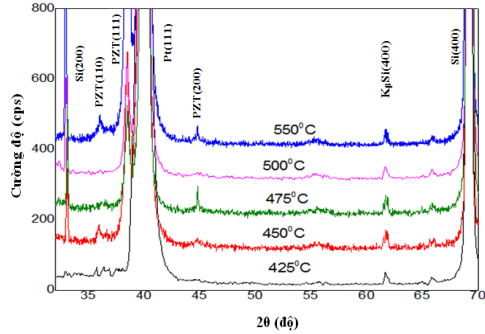
Mẫu	PZT500	PZT550	PZT600	PZT650	PZT700
P_r ($\mu\text{C}/\text{cm}^2$)	-	22	23	17	15
E_C (kV/cm)	-	90	80	80	70
$J_{rò}$ ($\mu\text{A}/\text{cm}^2$)	0,4	220	0,03	150	10

3.1.3. Tính chất màng mỏng PZT trên đế Si/SiO₂/Ti/Pt ủ nhiệt nhanh

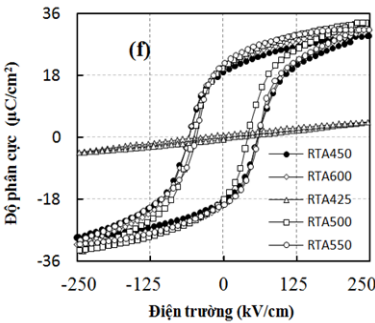
Gián đồ nhiễu xạ cho thấy, ngoại trừ mẫu RTA425, các mẫu còn lại đều xuất hiện duy nhất đỉnh PZT(111) (gần đỉnh Pt(111)) với cường độ tăng theo nhiệt độ ủ. Tuy nhiên cường độ đỉnh PZT(111) của hai mẫu RTA500 và RTA550 không khác nhau nhiều. Điều này chứng tỏ chúng tôi đã chế tạo thành công

hệ màng mỏng Si/SiO₂/Ti/Pt/PZT(111) đơn pha và đã giảm nhiệt độ kết tinh của màng PZT xuống còn 450 °C bằng phương pháp ủ tăng nhiệt nhanh, so với 550 °C như phương pháp ủ tăng nhiệt thông thường.

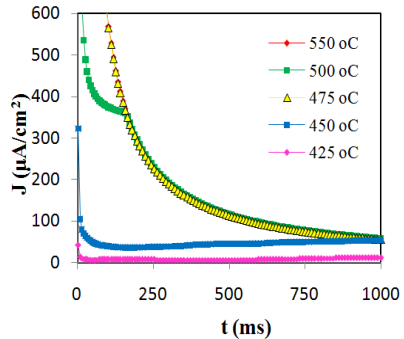
Ảnh SEM cho thấy màng PZT được hình thành khá đồng đều với biên hạt rõ ràng, không bị nứt gãy, không có lỗ rỗng. Kích thước hạt trung bình của các mẫu tăng dần theo nhiệt độ ủ từ 60 nm đến 120 nm. Với phép đo mật cắt của mẫu PZT500, chúng tôi xác định được chiều dày của màng PZT là khoảng 202,4 nm. Kết quả khảo sát đặc trưng trở điện của màng PZT ủ tăng nhiệt nhanh được biểu diễn trên hình 3.15. Với mẫu PZT425, đặc trưng $P(E)$ không có dạng của đường trở sắt điện mà có dạng tuyến tính của một vật liệu thuận điện. Đối với các mẫu RTA450, RTA475, RTA500 và RTA550, đường $P(E)$ của các mẫu có dạng trở điện đặc trưng của vật liệu sắt điện, chưa bão hòa ở điện trường áp 250 kV/cm. Giá trị độ phân cực điện



Hình 3.13. Giảm đồ nhiễu xạ X-ray của các màng mỏng PZT chế tạo trên đế Si/SiO₂/Ti/Pt ủ tăng nhiệt nhanh



Hình 3.15. Đặc trưng $P(E)$ của các màng mỏng RTA ở thế áp 5V.



Hình 3.16. Đặc trưng $J(t)$ của các màng mỏng RTA ở thế áp 5V.

đư của các mẫu khá lớn, trường kháng điện nhỏ. Mẫu RTA500 có phân cực đư của lớn nhất (khoảng 21 $\mu\text{C}/\text{cm}^2$) và trường kháng điện nhỏ nhất (50 kV/cm) ở thế áp 5 V.

Dòng rò của mẫu RTA425 có tính chất điện đặc trưng của vật liệu thuận điện, mật độ dòng rò của mẫu này là rất nhỏ (khoảng 2 mA/cm^2 ở thế áp 5 V), nhỏ nhất trong các mẫu. Đối với mẫu còn lại, ở các thế áp nhỏ (< 4 V) thì mật độ dòng rò của các mẫu tương đối nhỏ cỡ 30 ÷ 40 mA/cm^2 . Tuy nhiên, khi thế áp tăng thì giá trị của mật độ dòng rò cũng tăng theo.

Bảng 3.4 là các giá trị phân cực đư, trường kháng điện và giá trị mật độ dòng rò của các mẫu ứng với điện trường áp là 250 kV/cm. Về đặc trưng trễ điện cho thấy màng RTA500 và RTA550 thể hiện tính sắt điện rất mạnh, phân cực đư lớn, trường kháng điện nhỏ, đáp ứng tốt yêu cầu ứng dụng vào trong bộ nhớ sắt điện. Tuy nhiên để có thể chế tạo trên nhiều loại đế, ví dụ như thủy tinh, thì lựa chọn RTA500 là tối ưu.

Bảng 3.4. Phân cực đư, trường kháng điện, mật độ dòng rò của hệ mẫu RTA.

Mẫu	RTA425	RTA450	RTA475	RTA500	RTA550
P_r ($\mu\text{C}/\text{cm}^2$)	-	17	18	21	20
E_C (kV/cm)	-	70	80	50	50
$J_{rò}$ ($\mu\text{A}/\text{cm}^2$)	6	35	32	30	38

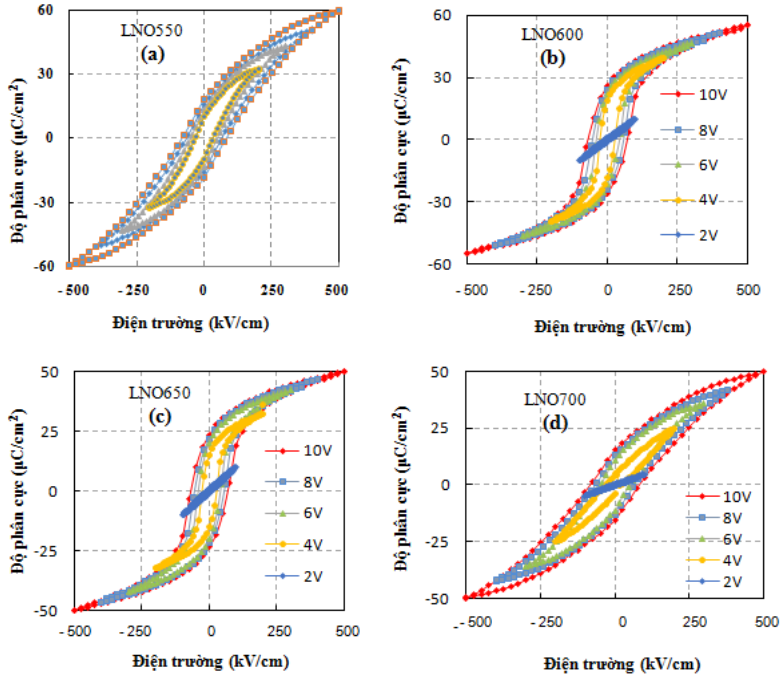
3.2. Ảnh hưởng của điện cực LNO lên tính chất của màng mỏng PZT

3.2.1. Ảnh hưởng điện cực LNO lên tính chất điện của màng mỏng PZT

Các khảo sát với điện cực LNO chế tạo trên đế Si/SiO₂ bao gồm: Phổ phân tích EDS; phân tích nhiễu xạ tia X; chụp ảnh SEM của màng mỏng LNO. Kết quả cho thấy, lớp màng mỏng LNO có chất lượng tốt, không xốp mặc dù được chế tạo bằng phương pháp dung dịch, độ dày của màng được xác định khoảng 205 nm. Các kết quả đo điện cho thấy màng mỏng LNO ủ ở nhiệt độ 600 °C có tính dẫn tốt nhất.

Các đường đặc trưng P-E của các mẫu đều có tính đối xứng cao. Với mẫu LNO550/PZT (hình 3.20 (a)), $P_r \sim 20 \mu\text{C}/\text{cm}^2$, $E_C \sim 100$ kV/cm. Các giá trị này chưa thể so sánh được với hệ mẫu Si/SiO₂/Ti/Pt/PZT mà chúng tôi đã chế tạo trước đó.

Với mẫu LNO600/PZT (hình 3.20 (b)), $P_r \sim 27 \mu\text{C}/\text{cm}^2$, tức là chỉ tương đương với giá trị độ phân cực dư của mẫu PZT600 ($\sim 23 \mu\text{C}/\text{cm}^2$) khi điện trường áp là 250 kV/cm. Với mẫu LNO650/PZT và LNO700/PZT (hình 3.20 (c), (d)), $P_r < 20 \mu\text{C}/\text{cm}^2$, $E_C \sim 100$ kV/cm.



Hình 3.20. Đặc trưng P-E của màng RTA500 được chế tạo trên điện cực (a) LNO550, (b) LNO600, (c) LNO650 và (d) LNO700.

Khảo sát mật độ dòng rò của mẫu RTA500/LNO với thế áp từ 0 đến 10 V, mật độ dòng rò tăng tuyến tính từ 10^{-7} đến 10^{-4} A/cm². Các giá trị này nhỏ hơn khoảng 100 lần so với giá trị dòng rò của mẫu RTA500 chế tạo trên đế Si/SiO₂/Ti/Pt.

3.2.2. Ảnh hưởng điện cực Al/LNO lên tính chất của màng mỏng PZT

Hiện nay màn hình cong hay các linh kiện điện tử có thể uốn dẻo đang được quan tâm phát triển. Các loại đế silicon thường rất dày (~ 500 nm) và rất cứng, không thể sử dụng vào các linh kiện cần độ uốn dẻo. Việc nghiên cứu để thay thế đế

silicon truyền thống bằng vật liệu khác mỏng hơn và có tính uốn dẻo là rất cần thiết. Các loại đế polyme có tính uốn dẻo nhưng lại có nhược điểm là chỉ xử lý nhiệt được tới nhiệt độ khoảng 300 °C. Ở phần này, chúng tôi đã tiến hành chế tạo và khảo sát ảnh hưởng của điện cực LNO trên lá Al (50 μm) lên tính chất sắt điện của màng mỏng sắt điện PZT.

Nhiệt độ ủ không chỉ ảnh hưởng đến cấu trúc tinh thể của màng mỏng mà còn ảnh hưởng đến hình thái bề mặt của màng mỏng. Khi nhiệt độ ủ thấp hơn 600°C (AL500 và AL550), bề mặt màng mỏng LNO xuất hiện nhiều nứt gãy lớn, đặc biệt với mẫu AL550 mật độ nứt gãy cao. Với mẫu AL650, màng mỏng LNO bắt đầu có dấu hiệu bị co cụm. Nguyên nhân của sự nứt gãy, co cụm này có thể là do sự khác biệt lớn về độ dẫn nở nhiệt giữa LNO ($8.2 \times 10^{-6}/^{\circ}\text{C}$) và lá Al ($23.1 \times 10^{-6}/^{\circ}\text{C}$). Ngoài ra, nhiệt độ ủ 650°C rất gần với nhiệt độ nóng chảy của Al (660°C), nên sẽ là tới hạn của trạng thái rắn ổn định.

Các kết quả khảo sát độ dẫn và điện trở suất của mẫu cũng đã được chúng tôi khảo sát. Kết quả thu được không có sự khác biệt so với các màng mỏng LNO chế tạo trên đế Si/SiO₂. Từ kết quả phân tích cấu trúc, hình thái bề mặt và tính chất điện có thể kết luận lớp LNO ủ nhiệt tại 600°C trên lá Al có chất lượng tốt nhất, có thể phù hợp làm điện cực dưới cho các thiết bị tụ điện hoặc bộ nhớ sắt điện.

Do hình thái bề mặt của màng mỏng LNO chỉ ổn định ở xung quanh nhiệt độ ủ 600 °C cho nên chúng tôi tiến hành chế tạo màng mỏng PZT trên điện cực Al/LNO bằng phương pháp dung dịch, ủ tăng nhiệt nhanh ở các nhiệt độ 575 °C, 600 °C, 625 °C (lần cận 600 °C).

Về đặc trưng $P(E)$: Với nhiệt độ ủ 575°C, đường điện trở $P-E$ chưa có đặc trưng của vật liệu sắt điện rõ ràng, độ phân cực dư còn thấp khoảng 15 μC/cm², và tính đối xứng chưa cao. Khi nhiệt độ ủ tăng lên 600°C, đặc trưng trở của màng mỏng PZT thể hiện tính chất sắt điện rất rõ ràng khi tăng điện trường áp lên cỡ 700 kV/cm, đường cong điện trở đối xứng cao, độ phân cực dư cao khoảng 30 μC/cm², độ phân cực bão hòa khoảng 50 μC/cm². Kết quả này có được là do, đối với hệ mẫu Al/LNO/PZT, tại nhiệt độ ủ 600°C cả lớp điện cực LNO và màng mỏng sắt điện PZT kết tinh tốt, liên kết Pb-O của màng

mỏng sắt điện đã không xuất hiện và bề mặt của lớp điện cực LNO cũng tốt nhất.

Về đặc trưng $J(t)$: Đối với nhiệt độ ủ là 575°C , ta có thể thấy giá trị dòng rò tăng khá nhanh từ 10^{-7} đến 10^{-5} A/cm^2 , khi thế phân cực tăng từ 1 đến 3V, và nhảy vọt đến 10^{-1} A/cm^2 , khi điện thế phân cực lớn. Đối với màng mỏng PZT được ủ tại 600°C , dòng rò đo được là nhỏ hơn 10^{-5} A/cm^2 , và rất ổn định. Điều này phù hợp với cấu trúc tinh thể ổn định và hình thái bề mặt tốt nhất như khảo sát ở trên. Giá trị mật độ dòng rò đo được tuy nhỏ nhưng mẫu ủ tại nhiệt độ 625°C lại không cho kết quả về đặc trưng điện trở mong muốn như chỉ ra trên hình 3.27 (c).

3.3. Ảnh hưởng của đế lên tính chất của màng PZT

Trong mục này chúng tôi khảo sát ảnh hưởng của các loại đế sc-STO, pc-STO và thủy tinh (glass) lên tính chất điện của màng mỏng sắt điện RTA500 chế tạo trên điện cực Pt.

3.3.1. Ảnh hưởng của đế sc-STO(111) lên tính chất của màng PZT

Đặc trưng P - E thể hiện rất rõ đường cong trễ điện của một vật liệu sắt điện ngay cả khi thế áp chỉ khoảng 2 V. Đường điện trễ thể hiện đặc tính bão hòa rõ ràng, có tính đối xứng cao, $P_r \sim 38$ $\mu\text{C}/\text{cm}^2$, $E_C \sim 90$ kV/cm , $J_{r0} \sim 20$ $\mu\text{A}/\text{cm}^2$ khi điện thế tác dụng 5 V.

3.3.2. Ảnh hưởng của đế pc-STO lên tính chất của màng PZT

Đặc trưng điện trễ thể hiện đặc tính bão hòa rõ ràng, có tính đối xứng cao, $P_r \sim 27$ $\mu\text{C}/\text{cm}^2$, $E_C \sim 55$ kV/cm , $J_{r0} \sim 31$ ($\mu\text{A}/\text{cm}^2$) khi điện thế tác dụng 5 V.

3.3.3. Ảnh hưởng của đế thủy tinh lên tính chất điện của màng PZT

Đặc trưng P - E cho thấy rất rõ đường cong trễ điện của một vật liệu sắt điện được thể hiện khi thế áp khoảng 2 V. Độ phân cực dư khoảng 18 $\mu\text{C}/\text{cm}^2$ ứng với điện thế tác dụng là 4 V. Đặc trưng điện trễ của màng mỏng PZT chế tạo trên đế glass có độ nghiêng hơn so với chế tạo trên đế sc-STO hay pc-STO, giống với dáng điệu đường cong điện trễ của vật liệu có chuyển pha sắt điện nhòe nhưng P_r và E_C lớn hơn rất nhiều. Lực kháng điện E_C khoảng 180 kV/cm khi thế áp là 4 V.

Bảng 3.8. Các giá trị độ phân cực dư, độ phân cực bão hòa, dòng rò, trường kháng điện của màng mỏng PZT chế tạo trên các loại đế sc-STO, pc-STO và Glass

Loại đế	P_r ($\mu\text{C}/\text{cm}^2$)	P_s ($\mu\text{C}/\text{cm}^2$)	J_{r0} (A/cm^2)	E_C (kV/cm)
Sc-STO	38	55	$10^{-6} \div 10^{-8}$	90
Pc-STO	27	39	$10^{-5} \div 10^{-7}$	55
Glass	25	45	$10^{-4} \div 10^{-8}$	180

Bảng 3.8 là các giá trị phân cực dư và dòng rò của các mẫu PZT chế tạo trên các loại đế sc-STO, pc-STO và glass. Có thể thấy ảnh hưởng của từng loại đế lên tính sắt điện của màng mỏng PZT là rất rõ ràng. Tuy nhiên, với cả ba loại đế sc-STO, pc-STO và glass, màng mỏng PZT đều thể hiện tính sắt điện mạnh.

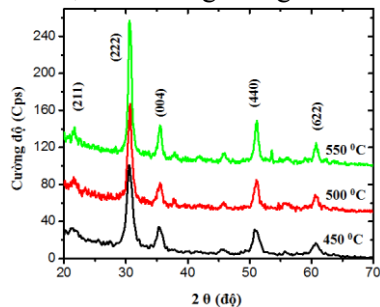
3.4. Tối ưu hóa tính chất màng mỏng làm kênh dẫn (ITO)

3.4.1. Ảnh hưởng độ dày đến cấu trúc tinh thể và hình thái bề mặt

Theo chiều tăng độ dày của các màng mỏng thì kích thước và mật độ nứt gãy của màng cũng tăng theo. Màng mỏng có độ dày 45 nm (quay phủ 1 lớp) không có hiện tượng nứt gãy, trong khi màng mỏng có độ dày 180 nm có độ nứt gãy lớn nhất. Như vậy, muốn thu được màng mỏng ITO có bề mặt tốt bằng phương pháp dung dịch thì phải chế tạo các màng mỏng ITO có bề dày nhỏ hơn 45 nm.

3.4.2. Ảnh hưởng nhiệt độ ủ đến cấu trúc tinh thể và cấu trúc vi tinh thể

Để khảo sát ảnh hưởng của nhiệt độ ủ đến cấu trúc tinh thể và các cấu trúc vi tinh thể của màng mỏng ITO làm kênh dẫn, chúng tôi đã chế tạo các màng mỏng ITO với độ dày cỡ 45 nm trên đế Si/SiO₂ bằng phương pháp dung dịch và ủ ở các nhiệt độ



Hình 3.41. Giản đồ nhiễu xạ tia X của các màng ITO ủ ở 450 °C, 500 °C, 550 °C.

450 °C (mẫu I5), 500 °C (mẫu I6) và 550 °C (mẫu I7), trong môi trường không khí. Đối với các màng ITO ủ ở nhiệt độ 500 °C và 550 °C không có sự thay đổi đáng kể trong cấu trúc tinh thể. Trên giản đồ nhiễu xạ của các màng mỏng ITO có xuất hiện 5 đỉnh đó là (211), (222), (400), (440) và (622). Tuy nhiên đỉnh nhiễu xạ có cường độ mạnh nhất là đỉnh (222).

3.4.3. Ảnh hưởng nhiệt độ ủ đến tính chất điện của màng mỏng ITO

Để nghiên cứu tính chất điện của các màng mỏng ITO phụ thuộc vào nhiệt độ ủ, chúng tôi đã tiến hành đo các phép đo điện trở vuông, điện trở suất và sử dụng phép đo Hall để xác định nồng độ hạt tải cũng như độ linh động hạt tải của các mẫu.

Kết quả cho thấy, điện trở vuông và điện trở suất giảm khi nhiệt độ ủ của các mẫu tăng lên. Sự giảm của điện trở suất khi tăng nhiệt độ ủ của các mẫu có thể lí giải bằng phép đo Hall, cả nồng độ hạt tải và độ linh động hạt tải đều có xu hướng tăng khi nhiệt độ ủ của các mẫu tăng lên. Cũng bằng phép đo Hall, các màng mỏng ITO được xác định là bán dẫn loại n.

Như vậy, tính dẫn điện của các màng mỏng ITO tốt hơn khi nhiệt độ ủ tăng lên. Tuy nhiên, với mục đích ứng dụng làm điện cực trên (nhiệt độ ủ của lớp màng sắt điện PZT chỉ khoảng 450 °C ÷ 500 °C), chúng tôi lựa chọn màng ITO ủ ở 450 °C để tiếp tục nghiên cứu ở các phần sau.

CHƯƠNG 4. CHẾ TẠO VÀ KHẢO SÁT BỘ NHỚ SẮT ĐIỆN

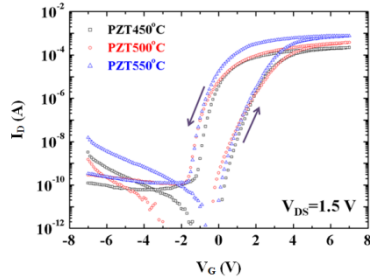
4.1. Chế tạo và khảo sát đặc trưng của bộ nhớ sắt điện kích thước micrô

Cấu trúc của bộ nhớ này gồm có: (1) đế thương mại Si/SiO₂ (500 nm); (2) lớp màng mỏng Ti (10nm) được chế tạo bằng phương pháp phún xạ rf nhằm làm tăng bám dính của lớp Pt ở trên với lớp đế; (3) lớp Pt (100 nm) làm cực công được chế tạo bằng phương pháp phún xạ DC; (4) lớp màng mỏng sắt điện PZT làm lớp công cách điện được chế tạo bằng phương pháp dung dịch; (5) lớp Pt (50 nm) làm cực nguồn và cực máng cách nhau một 5 μm tạo thành một khe dẫn và được chế tạo bằng phương pháp phún xạ DC có sự hỗ trợ của công nghệ quang khắc với kỹ thuật lift-off; (6) cuối cùng, bằng phương pháp dung dịch, một màng mỏng ITO (20 nm) có chiều rộng 60 μm làm kênh dẫn được phủ lên trên khe dẫn, quá trình tạo hình

kênh dẫn được thực hiện nhờ sự hỗ trợ của công nghệ quang khắc với kỹ thuật ăn mòn (plasma cao tần cảm ứng ICP).

4.1.1. Chế tạo và khảo sát đặc trưng của bộ nhớ sắt điện trên đế silic

Đặc trưng I_D - V_G (hình 4.4) có dạng trễ ngược chiều kim đồng hồ, tranzito loại n điển hình, có tỷ số dòng ĐÓNG/MỞ dao động trong khoảng 10^6 - 10^7 và cửa sổ bộ nhớ gần 2 V, tương đương với thể kháng V_c được ước tính từ hình 4.2. Điều này cho thấy, đã có lớp tiếp xúc được hình thành thành tốt giữa lớp loại kênh dẫn ITO và lớp công cách điện



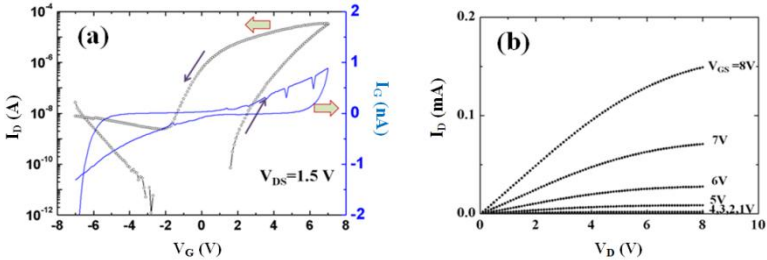
Hình 4.4. Đặc trưng I_D - V_G của các bộ nhớ có công sắt điện PZT ủ ở 450, 500 và 550 °C.

PZT bằng cách sử dụng các quy trình chế tạo các màng mỏng ở nhiệt độ thấp. Khi nhiệt độ ủ tăng thì độ bão hòa dòng MỞ cũng tăng và cùng với nó là sự tăng dòng điện ĐÓNG. Vì vậy, việc cân nhắc kết quả thu được từ hình 4.3 và 4.4, màng PZT 500°C được kỳ vọng sẽ là lựa chọn tốt nhất để chế tạo bộ nhớ sắt điện trên các loại đế khác, bởi vì nó có dòng rò thấp nhất và các đặc tính truyền tốt hơn so với các trường hợp khác.

4.1.2. Chế tạo và khảo sát bộ nhớ sắt điện trên đế Glass

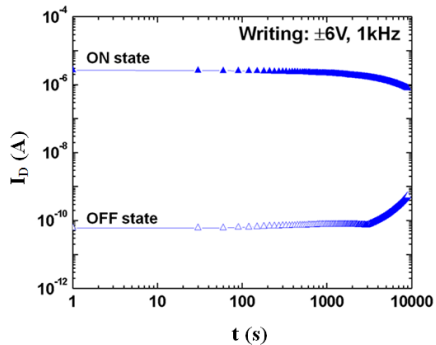
Hình 7 (a) là đặc tính I_D - V_G của FGT mô tả chức năng bộ nhớ với cửa sổ bộ nhớ 4 V và tỷ số dòng ĐÓNG/MỞ là 10^5 . Cũng từ hình 4.7 a, dòng rò cực công chỉ cỡ 10^{-9} A, điều này giúp giảm tiêu hao năng lượng ở trạng thái nghỉ. Hình 4.7 (b) là đặc trưng đầu ra của bộ nhớ sắt điện (FGT) chế tạo trên thủy tinh, khi V_{DS} được thay đổi liên tục từ 1-8 V và V_{GS} dao động từ 1-8 V với bước tăng 1 V. Dòng máng có độ bão hòa cứng, đạt độ lớn 0,15 mA với $V_{GS} = V_{DS} = 8$ V. Dòng máng MỞ bão hòa (I_D) không quá cao so, nhưng nó sẽ thúc đẩy nghiên cứu nhằm đạt được mức cao hơn bằng cách xử lý lớp tiếp xúc ITO/PZT hoặc bằng cách cải thiện chất lượng màng PZT. Độ linh động hạt tải (μ_{FE}) được tính từ vùng bão hòa của hình 4.7 (b) theo công thức: $\mu_{FE} = I_D [(W_{DS}/2L_{DS})C_{ox} \cdot (V_{GS} - V_T)^2]^{-1}$, trong đó $I_D = 0,15$ mA, $L_{DS} = 5 \mu\text{m}$, $W_{DS} = 60 \mu\text{m}$, $C_{ox} =$

$2,2 \mu\text{CV}^{-1} \text{cm}^2$, $V_{\text{GS}} = 8 \text{ V}$, $V_{\text{T}} = 1,5 \text{ V}$. Sử dụng các thông số này, chúng tôi ước tính μ_{FE} bằng $0,092 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.



Hình 4.7 (a) đặc trưng I_D - V_G và đặc trưng dòng rò cực công, (b) đặc trưng lối ra của bộ nhớ sắt điện nhiệt độ thấp chế tạo trên đế thủy tinh

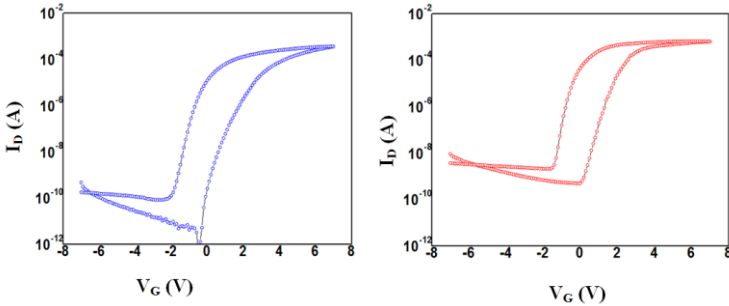
Hình 4.8 là đặc trưng lưu trữ của bộ nhớ sắt điện (FGT) chế tạo trên đế thủy tinh. Khi đo, các giá trị dòng máng MỞ và dòng máng ĐÓNG được ghi lại lần lượt bằng cách sử dụng một xung vuông với biên độ $+6 \text{ V}$ và -6 V ở tần số 1 kHz . Các trạng thái bộ nhớ lưu trữ được duy trì ở nhiệt độ phòng và chúng được đọc bằng thế giữa cực ngồn và cực máng $V_{\text{DS}} = 1,5 \text{ V}$ và thế cực công là $V_{\text{G}} = 6 \text{ V}$ tại mỗi thời gian chờ 10^4 giây. Từ hình 4.8, có thể thấy tỷ số dòng ĐÓNG/MỞ gần như không thay đổi ngay cả sau 1 giờ, nhưng giảm nhanh chóng sau khi lưu trữ trong thời gian dài. Mặc dù thời gian lưu giữ đạt được của một FGT phương pháp dung dịch với tất cả các quy trình dưới 500°C ngắn hơn nhiều so với yêu cầu thương mại khoảng 10 năm đối với thiết bị bộ nhớ ổn định, điều này hỗ trợ các nghiên cứu trong



Hình 4.8. đặc trưng lưu trữ/đặc trưng duy trì của bộ nhớ sắt điện chế tạo trên đế thủy tinh

tương lai nhằm cải thiện các đặc trưng lưu trữ từ khía cạnh các quy trình nhiệt độ thấp nhằm hình thành tốt hơn lớp tiếp xúc ITO/PZT, so sánh với các bộ nhớ sắt điện silic thông thường.

4.1.3. Chế tạo và khảo sát bộ nhớ sắt điện trên đế sc-STO(111) và đế pc-STO.

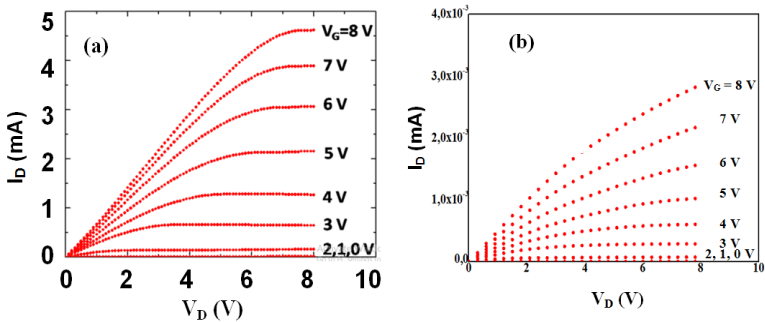


Hình 4.11. Đặc trưng I_D - V_G của các bộ nhớ sắt điện chế tạo trên đế (a) sc-STO(111) và (b) pc-STO.

Hình 4.11 (a) và (b) là đặc trưng I_D - V_G của FGT được chế tạo trên pc-STO và sc-STO(111). Thế cực cổng V_G tăng từ -7 đến 7 V và trở về -7 V trong khi giữ nguyên thế cực máng không đổi $V_D = 1,5V$. Các đường cong I_D - V_G có đặc trưng của một tranzito kênh dẫn loại n với vòng trễ ngược chiều kim đồng hồ, tính chất nhớ của FGT có nguồn gốc từ bản chất của các vật liệu sắt. Cửa sổ bộ nhớ khoảng 2V, gần bằng với điện thế khử ($2V_c \sim 2V$), điều này phù hợp về lý thuyết, nó thể hiện tính hiệu quả của sự chế tạo kênh dẫn ITO bằng phương pháp sol-gel với quá trình nhiệt độ thấp ($450^\circ C$) vì tiếp xúc ITO/PZT được hình thành tốt tạo ra mật độ bẫy nhỏ, và sự ghim đômên là không đáng kể ở tiếp xúc ITO/PZT. Trong hình 4.11 (b), dòng máng của FGT trên đế sc-STO(111) bao hòa một cách dễ dàng và vòng I_D - V_G có hình vuông vức hơn so với của FGT trên đế pc-STO trong hình 4.11 (a). Điều này phù hợp với đặc trưng trễ điện được thể hiện trong hình 4.11, sự phân cực của FGT trên đế sc-STO(111) cũng bao hòa dễ dàng hơn, và đường P - V vuông hơn. Điều này cho thấy rằng hình dạng của vòng I_D - V_G có liên quan đến hình dạng của vòng P - V , tức là, chất lượng tinh thể và sắt điện của màng PZT quan trọng đối với hoạt động của FGT. Từ hình 4.11, chúng ta cũng có thể thấy rằng tỷ lệ

dòng MỞ/ĐÓNG của FGT khoảng 10^5 và 10^6 tương ứng trên đế pc-STO và đế sc-STO(111). Khi $V_G < 0$, dòng “ĐÓNG” nhỏ hơn 10^{-8} A đối với FGT trên đế pc-STO/SiO₂/Si và nhỏ hơn 10^{-10} A đối với FGT trên đế sc-STO(111). Những dòng đóng này thấp hơn so với dòng đóng của các FGT sử dụng kênh dẫn ITO chế tạo bằng phương pháp phún xạ ($> 10^{-8}$ A), như chúng tôi báo cáo trước đây, mặc dù độ dày của màng ITO chế tạo bằng phương pháp sol-gel cỡ 20 nm dày hơn so với màng ITO phún xạ (10 nm) [75].

Hình 4.12 (a) và (b) cho thấy những đặc trưng đầu ra ($I_D - V_D$) của FGT tương ứng trên đế pc-STO và sc-STO(111), được đo máy phân tích tham số bán dẫn (Agilent 4155C). Thế cực máng V_D tăng từ 0-8 V, trong khi đó thế cực cổng V_G cũng tăng từ 0-8V với bước tăng 1V. Có thể thấy rằng hoạt động điện hình của tranzito loại n với dòng bão hòa “MỞ” rất lớn lên đến 3 và 4,6 mA khi $V_G = V_D = 8V$ tương ứng trên đế pc-STO và trên đế sc-STO(111). Những giá trị này lớn hơn so với dòng máng $I_D = 2,5$ mA thu được từ FGT với màng ITO phún xạ [75]. Dựa trên nghiên cứu này, độ linh động hạt tải (μ_{FE}) của FGT kênh dẫn ITO sol-gel ước tính là 8,0 cm²/Vs đối với FGT trên đế sc-STO(111). Dòng máng bão hòa trên mỗi đơn vị chiều rộng cổng khoảng 0,03 mA/ μ m ở điện áp hoạt động 5V, kết quả này có thể so sánh được với dòng máng bão hòa trên mỗi đơn vị chiều rộng cổng thu được từ MOSFET thông thường có cùng độ rộng cổng.

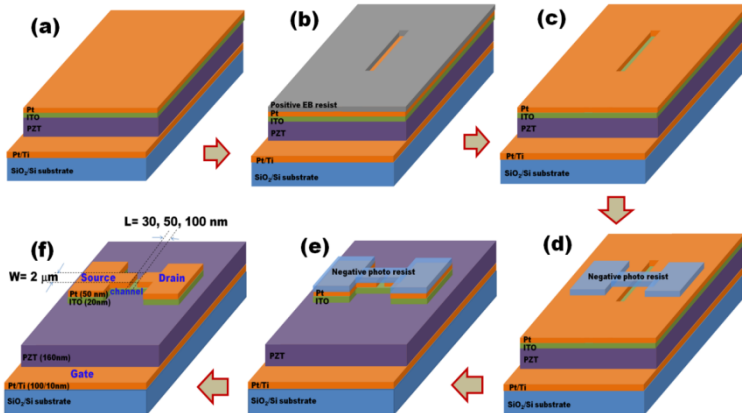


Hình 4.12. Đặc trưng lối ra ($I_D - V_D$) của các bộ nhớ sắt điện chế tạo trên đế (a) sc-STO(111) và (b) pc-STO.

4.2. Chế tạo và khảo sát đặc trưng của bộ nhớ sắt điện có kích thước nano

4.2.1. Chế tạo bộ nhớ sắt điện có kích thước nano mét

Hình 4.13 (a) là bản vẽ của cấu trúc các lớp trong bộ nhớ sắt điện có kênh dẫn nhỏ hơn 100 nm mà chúng tôi đã chế tạo. Để SiO₂/Si được xử lý trong axit HF 1% trong 1 phút, sau đó trong axeton trong 5 phút để loại bỏ các chất tạp chất vô cơ và hữu cơ. Trên đế được làm sạch, một màng Ti dày 10 nm và màng Pt dày 100 nm lần lượt được lắng đọng bằng cách phún xạ rf và phún xạ DC ở nhiệt độ đế 100°C. Ở bước này, lớp màng Ti mỏng có vai trò tăng cường độ bám dính giữa màng Pt và đế SiO₂/Si. Thứ hai, bằng phương pháp dung dịch một màng PZT của sắt điện có độ dày 160 nm được hình thành trên lớp màng Pt. Các màng mỏng sắt điện PZT được kết tinh ở 500°C. Thứ ba, cũng bằng phương pháp dung dịch, một màng mỏng ITO dày 20-nm làm kênh dẫn được chúng tôi chế tạo trên lớp màng mỏng sắt điện PZT. Màng mỏng bán dẫn ITO được kết tinh ở 450°C trong 20 phút trong không khí sạch. Các quá trình xử lý nhiệt được thực hiện bởi hệ ủ tăng nhiệt nhanh. Cuối cùng, một màng Pt dày 50 nm được lắng đọng bằng cách phún xạ DC để hình thành lớp cực nguồn cực máng.



Hình 4.13. Cấu trúc 3D các lớp trong bộ nhớ sắt điện có kênh dẫn nhỏ hơn 100 nm

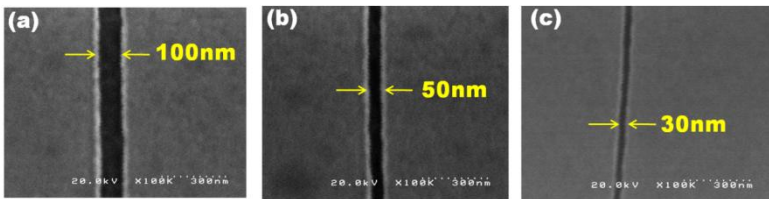
Để tạo khoảng cách giữa cực nguồn và cực máng là 30, 50 và 100 nm, chúng tôi sử dụng phương pháp khắc chùm điện

từ EB với sự hỗ trợ của kỹ thuật ăn mòn khô. Các chi tiết được mô tả từ hình 4.13 (b) đến hình 4.13 (f). Một mẫu với cấu trúc lớp trong hình 4.13 (a) được phủ bởi lớp chất cảm EB (ZEP520A), và theo thứ tự, tiếp xúc bằng cách sử dụng thiết bị quang khắc EB. Từ Hình 4.13 (b), rõ ràng là khoảng cách nhỏ nhất gần bằng kích thước chùm điện tử về nguyên tắc. Với hình 4.13 (b) và (c) chiều dài khe thiết kế là khoảng 25 μm , nhằm hỗ trợ liên kết dễ dàng từ bước quang khắc trong hình 4.13 (d). Tiếp theo, ăn mòn khô (ICP) với công suất 80 W, công suất phân cực 50 W và áp suất Ar 1,0 Pa được thực hiện nhằm loại bỏ lớp màng Pt như thể hiện trong hình 4.13 (c), tức là để tạo chiều dài kênh FGT.

Hình 4.13 (d) và (e) cho thấy quá trình sự hình thành chiều rộng kênh của FGT nhỏ hơn 100 nm. Ở bước này, một chất cản quang âm (OMR-85) có độ dày 2 μm được tạo hình, sử dụng kỹ thuật quang khắc thông thường để bảo vệ kênh dẫn, khu vực giữa cực nguồn và cực máng khi tiến hành quá trình khắc khô được đề cập ở trên. Các lớp màng Pt 50 nm và ITO 20 nm được ăn mòn đồng thời. Đối với cả chất cảm EB và chất cản quang vẫn còn sau quá trình khắc khô được loại bỏ bằng quá trình tạo tro oxy với công suất 50 W trong 5 phút. Kết quả là, chúng tôi đã chế tạo thành công bộ nhớ FGT với độ rộng kênh dẫn nhỏ hơn 100 nm như thể hiện trong Hình 4.13 (f).

4.2.2. Khảo sát bộ nhớ sắt điện có kích thước nano mét

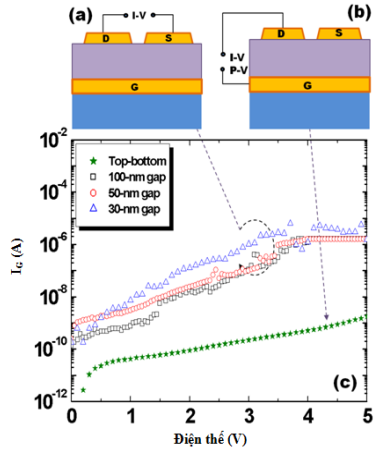
Hình 4.15 là hình ảnh SEM của chiều rộng kênh dẫn FGT nhỏ hơn 100 nm, sau khi ăn mòn màng Pt. Có thể thấy sự tách biệt rõ ràng giữa cực nguồn và cực máng, trong đó màu đen sẫm là kênh dẫn và vùng tối (màu xám) là cực nguồn và cực máng. Từ các hình ảnh SEM, độ dài kênh của FGT được xác định là 100, 50 và 30 nm.



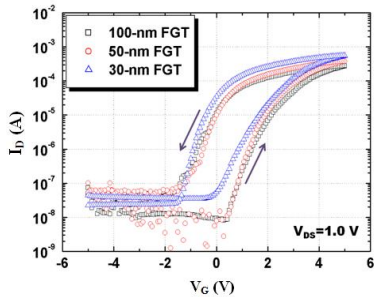
Hình 4.15. Ảnh SEM của chiều rộng kênh dẫn FGT nhỏ hơn 100 nm

Hình 4.18 là đặc tính điện áp-dòng điện ($I-V$), được đo giữa cực nguồn và cực máng nhằm xác minh sự hình thành kênh dẫn như trong hình 4.18 (a), và được đo giữa cực nguồn (hay cực máng) với cực cửa để đánh giá dòng rò của của FGT như trong hình 4.18 (b). Từ hình 4.18 (c), dòng rò thấp hơn 10^{-8} A ở điện thế áp dụng giữa cực nguồn/cực máng với cực cửa là 5 V. Ngoài ra, dòng điện chạy từ cực nguồn đến cực máng thấp hơn 10^{-5} A, phần lớn được đóng góp từ lớp tiếp xúc PZT, mà không phải từ dòng rò của màng PZT.

Hình 4.19 là đặc trưng truyền của các FGT có độ rộng kênh dẫn 100, 50 và 30 nm và chiều dài kênh dẫn 2 μm không đổi. Trong phép đo này, điện áp cửa (V_G) được thay đổi từ -5 V đến 5 V với bước 0,1 V, và điện áp phân cực giữa cực máng và cực nguồn (V_{DS}) được duy trì ở mức 1,0 V, nhằm duy trì dòng trạng thái ĐÓNG thấp theo kết quả của hình 4.18 (c). Từ hình 4.19, đặc tính I_D-V_G của các bộ nhớ thể hiện rõ chức năng của bộ nhớ sắt điện bộ nhớ với vòng trễ ngược chiều kim đồng hồ, tranzito kiểu n điển hình, có tỷ số dòng ĐÓNG/MỞ dao động từ $10^4 - 10^5$, và các cửa sổ bộ nhớ là 2,0, 1,8 và 1,7 V lần lượt đối với các FGT 100 nm, 50 nm và 30 nm.



Hình 4.18. Đặc tính ($I-V$) của bộ nhớ sắt điện có độ rộng kênh dẫn nhỏ hơn 100 nm.



Hình 4.19. Đặc trưng I_D-V_G của các bộ nhớ FGT có độ rộng kênh dẫn 100nm, 50 nm và 30

KẾT LUẬN

Một số kết quả chính mà chúng tôi thu được trong luận án này là:

Bằng phương pháp dung dịch, đã chế tạo thành công các màng mỏng sắt điện (PZT, BLT), màng mỏng làm điện cực (LNO, Pt), màng mỏng làm kênh dẫn (ITO) với chất lượng màng tốt, không nứt gãy, độ lặp lại cao. Khảo sát một cách có hệ thống sự ảnh hưởng của chiều dày, nhiệt độ ủ và phương pháp ủ đến tính chất của từng lớp màng đó. Khảo sát ảnh hưởng của các lớp màng mỏng điện cực, màng mỏng kênh dẫn và các loại đế đến tính chất sắt điện của các màng mỏng sắt điện PZT.

Thiết kế, chế tạo và khảo sát hoạt động của các bộ nhớ sắt điện FGT trên các loại đế SiO₂/Si, pc-STO, sc-STO(111), glass với kích thước micro mét. Các đặc của bộ nhớ sắt điện (trung lối ra, đặc trưng, đặc trưng I_D-V_G , tỉ số dòng đóng mở...) đã được chúng tôi khảo sát. Kết quả cho thấy bộ nhớ sắt điện chế tạo trên đế sc-STO(111) có nhiều ưu điểm như cửa sổ ô nhớ khoảng 2V, tỉ số dòng đóng/mở lớn (10^6), dòng đóng nhỏ hơn 10^{-8} A, dòng mở bão hòa lớn (~ 4,6 mA).

Thiết kế, chế tạo và khảo sát hoạt động của các bộ nhớ sắt điện FGT với kích thước nano mét (chiều rộng kênh dẫn 100 nm, 50 nm và 30 nm) bằng công nghệ EB lithography với mục đích giảm kích thước, tăng mật độ nhớ của các bộ nhớ. Cửa sổ của các bộ nhớ lần lượt là 2 V, 1,8 V, và 1,7 V, tỉ số dòng đóng/mở của các bộ nhớ trong khoảng $10^4 \div 10^5$, dòng mở bão hòa tương đối lớn (0,19 mA, 0,21 mA và 0,56 mA).

DANH MỤC CÁC CÔNG TRÌNH KHOA HỌC CỦA TÁC GIẢ

ĐÃ CÔNG BỐ CÓ LIÊN QUAN ĐẾN LUẬN ÁN

1. D.H. Minh, N.V. Loi, N.H. Duc, B.N.Q. Trinh, (2016) “Low-temperature PZT thin-film ferroelectric memories fabricated on SiO₂/Si and glass substrates”, *Journal of Science: Advanced Materials and Devices* 1, pp. 75-79.
2. T.V. Dung, H. Ha, H.T.T. Tam, V.T. Dung, N.V. Dung, D.H. Minh, V.T.H. Trang, N.Q. Hoa, B.N.Q. Trinh, (2016) “Investigation of structural and ferroelectric properties of

Bi_{3.25}La_{0.75}Ti₃O₁₂ thin film”, *Journal of Science and Technology* 54 (1A), pp. 80-87.

3. Trần Văn Dũng, Vũ Thị Huyền Trang, Vũ Thị Dung, Nguyễn Văn Dũng, Nguyễn Thị Bình, Nguyễn Thị Thanh Thủy, Nguyễn Quang Hòa, Đỗ Hồng Minh, Bùi Nguyên Quốc Trình, (2015) “Khảo sát chế tạo màng mỏng nano LaNiO₃ trên lá nhôm thay thế để Si trong tích hợp tụ điện sắt điện”, *Tuyển tập Hội nghị Vật lý kỹ thuật và Ứng dụng toàn quốc lần thứ IV*, tr. 289-295.
4. D. H. Minh, B. N. Q. Trinh, (2015) “Sub-100nm Ferroelectric-gate Thin-Film Transistor with Low-temperature PZT Fabricated on SiO₂/Si Substrate”, *Ferroelectrics Letters*, 42 (1), pp. 65–74
5. Do Hong Minh, Vu Thi Huyen Trang, Bui Nguyen Quoc Trinh, (2014) “Huge on-Current Ferroelectric-Gate Thin Film Transistor with Solution-Processed Indium Tin Oxide Channel”, *Journal of Mathematics - Physics*, 30 (1), pp. 16-23.
6. D. H. Minh, N. Q. Hoa, N. H. Tiep, N. N. Dinh and B. N. Q. Trinh, (2014), “Low-temperature PZT thin film ferroelectric memories fabricated on a glass substrate”, *Proc. Of the meeting on Ferroelectric Materials and theirs Application (FMA31)*, Kyoto, Japan, pp. 75-76
7. B.N.Q. Trinh, D.H. Minh, and T. Shimoda, (2013) “Thin-film Transistor Fabricated by a Precise Alignment Nano-imprinting Lithography and Physical Dry-etching Method”, *Proc. of 4th International Workshop on Nanotechnology and Application (IWNA-2013)*, pp.743-745.
8. D. H. Minh, B. N. Q. Trinh “Sub-100nm Ferroelectric-gate Thin-Film Transistor with Low-temperature PZT Fabricated on sc-STO Substrate”, sẽ gửi đăng trên tạp chí thuộc hệ thống ISI (trước khi bảo vệ cơ sở)

Danh mục này gồm có 08 công trình